

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-161570

(43)Date of publication of application : 07.06.1994

(51)Int.Cl.

G05F 1/10
G05F 1/618

(21)Application number : 04-310544

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 19.11.1992

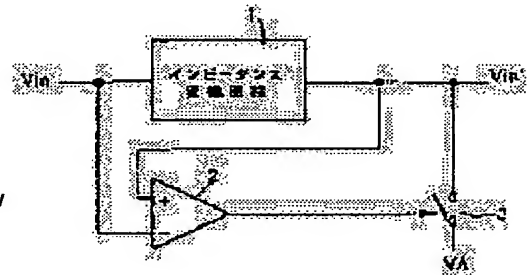
(72)Inventor : MOGI HIROYUKI

(54) CONSTANT VOLTAGE GENERATING CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE USING THE SAME

(57)Abstract:

PURPOSE: To reduce the normal current consumption of an operational amplifier, etc., at an impedance conversion part when supplying the constant voltage of high current driving ability to a capacitive load.

CONSTITUTION: This device is provided with an impedance conversion circuit 1 for performing impedance conversion to an input voltage V_{in} and for outputting it as a voltage $V_{in'}$, operational amplifier 2 for comparing the voltage $V_{in'}$ with the input voltage V_{in} while keeping off-set, and switch 3 for connecting a voltage V_A of a power source with the comparatively low impedance to the output of the impedance conversion circuit 1 based on the output of the operational amplifier 2. When the voltage $V_{in'}$ is changed over the offset of the operational amplifier 2 in comparison with the input voltage V_{in} , the voltage $V_{in'}$ is recovered to the original voltage by connecting the voltage V_A of the power source with the comparatively low impedance through the switch 3 to the output of the impedance conversion circuit 1.



LEGAL STATUS

[Date of request for examination] 14.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3175983

[Date of registration] 06.04.2001

[Number of appeal against examiner's decision of rejection]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this
5 translation.

1. This document has been translated by computer. So the translation may not reflect
the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

10

CLAIMS

15 [Claim(s)]

[Claim 1] The constant-voltage generating circuit characterized by providing the
following. The impedance-conversion circuit which carries out impedance conversion of
the 1st reference voltage, and outputs the 2nd reference voltage of voltage equal to the
1st reference voltage. Switching means which the direct input of the above 1st and the
20 2nd two reference voltage is carried out, connect between the comparator which
reverses an output by the 1st case where the difference of such reference voltages
which are two is larger than the offset voltage defined beforehand, and the 2nd case of
being small, and the output side of the aforementioned impedance-conversion circuit
and a power supply, and a control terminal is connected to the outgoing end of the
25 aforementioned comparator, and are turned on / turned off in the case of [of the
above / 1st/] the 2nd.

[Claim 2] The constant-voltage generating circuit characterized by providing the

following. The impedance-conversion circuit which carries out impedance conversion of the 1st reference voltage, and outputs the 2nd reference voltage of voltage equal to the 1st reference voltage. Switching means which the direct input of the above 2nd and the 3rd two reference voltage is carried out, connect between a comparator without the offset which reverses an output by the size of such reference voltages which are two, and the output side of the aforementioned impedance-conversion circuit and a power supply, and a control terminal is connected to the outgoing end of the aforementioned comparator, and are turned on / turned off by the output of the aforementioned comparator.

10 [Claim 3] The constant-voltage generating circuit characterized by providing the following. The impedance-conversion circuit which carries out impedance conversion of the 1st reference voltage, and outputs the 2nd reference voltage of voltage equal to the 1st reference voltage. Switching means which the direct input of the above 2nd and the 3rd two reference voltage is carried out, connect between the comparator which has the offset which reverses an output by the size of such reference voltages which are two, and the output side of the aforementioned impedance-conversion circuit and a power supply, and a control terminal is connected to the outgoing end of the aforementioned comparator, and are turned on / turned off by the output of the aforementioned comparator.

20 [Claim 4] The aforementioned impedance-conversion circuit is a constant-voltage generating circuit of one publication of a claim 1-3 which is a voltage type follower circuit.

[Claim 5] The aforementioned impedance-conversion circuit is a constant-voltage generating circuit of one publication of a claim 1-3 which is a resistance element.

25 [Claim 6] The aforementioned power supply is the constant-voltage generating circuit of one publication of a claim 1-5 which is a constant current source.

[Claim 7] The aforementioned comparator and the aforementioned switching means are

the constant-voltage generating circuit of one publication of a claim 1-6 constituted as what has an MOS type electric field effect type transistor.

[Claim 8] The aforementioned comparator is a constant-voltage generating circuit of one publication of a claim 1-7 where the aforementioned offset voltage is decided by

5 having the 1st and 2nd input transistors with which the above 1st and the 2nd reference voltage are applied to a gate terminal, and giving deflection to the these 1st [the] and 2nd gate width and gate lengths in an input transistor.

[Claim 9] The constant-voltage generating circuit of one publication of a claim 1-8 further equipped with the voltage amplification circuit which doubles the 4th reference
10 voltage arbitrarily and generates the 1st reference voltage of the above.

[Claim 10] Semiconductor integrated circuit equipment using the constant-voltage generating circuit according to claim 1 to 9 as a part of power circuit for a liquid crystal panel drive.

[Claim 11] The constant-voltage generating circuit characterized by equipping the
15 source with the field effect transistor of the 1st conductivity type which connected the 1st reference voltage to the gate and connected the drain to the power supply for the impedance-conversion circuit which carries out impedance conversion of the 1st reference voltage, and outputs the 2nd reference voltage of voltage equal to the 1st reference voltage, and the 2nd reference voltage, respectively.

20 [Claim 12] The aforementioned impedance-conversion circuit is a constant-voltage generating circuit according to claim 11 which is a voltage type follower circuit.

[Claim 13] The aforementioned impedance-conversion circuit is a constant-voltage generating circuit according to claim 11 or 12 which is a resistance element.

[Claim 14] The aforementioned power supply is the constant-voltage generating circuit
25 of one publication of a claim 11-13 which is a constant current source.

[Claim 15] The constant-voltage generating circuit of one publication of a claim 11-14 further equipped with the voltage amplification circuit which doubles the 4th reference

voltage arbitrarily and generates the 1st reference voltage of the above.

[Claim 16] Semiconductor integrated circuit equipment using the constant-voltage generating circuit according to claim 11 to 15 as a part of power circuit for a liquid crystal panel drive.

5

DETAILED DESCRIPTION

[Detailed Description of the Invention]

10 [0001]

[Industrial Application] this invention is used for the driver circuit which drives a liquid crystal panel etc. especially about the semiconductor integrated circuit equipment which used a constant-voltage generating circuit and it, and relates to a suitable constant-voltage generating circuit and semiconductor integrated circuit equipment.

15 [0002]

[Description of the Prior Art] Drawing 19 is the schematic diagram of the conventional constant-voltage generating circuit. As shown in drawing 19 , a voltage stabilizer 16 is equipped with an operational amplifier 12 as the impedance-conversion section.

Furthermore, resistance division of during the high potential power supply VDD and the low voltage grounding GND was carried out by two resistance RA and RB, and the potential VB used as criteria is generated. The potential VB made by Resistance RA and RB is inputted into the right input terminal of the operational amplifier 12 called voltage follower type. The operational amplifier 12 is carrying out negative feedback of output voltage VB' of self to the negative input terminal.

20 [0003] According to the above composition, impedance conversion of the potential VB is carried out by the operational amplifier 12, and it is sent out to other circuits which are not illustrated as output voltage VB' at all with the same voltage.

[0004] Low-impedance-ization is performed by the operational amplifier 12 when supplying other circuits by making into a constant voltage output voltage VB' obtained as mentioned above. For this reason, the big current drive capacity which is not acquired only by resistance division is realizable.

5 [0005] In the drive power unit of a liquid crystal panel etc., the liquid crystal panel which puts many above constant-voltage generating circuits in order, and serves as a capacitive load will be driven.

[0006] Now, drawing 22 shows the circuit block diagram of the conventional power supply for a liquid crystal drive. As shown in drawing 22, in order to supply potential to
 10 the segment / common capacitive load CS of a liquid crystal panel, it has the drive circuit 100 and two or more output sections 102 prepared corresponding to each load CS. The drive circuit 100 has the partial pressure circuit 105 and the operational amplifier circuit 109. The operational amplifier circuit 109 has two or more operational amplifiers 104. The partial pressure circuit 105 pressures partially the high potential
 15 VDD for liquid crystal, and the low voltage VEE for liquid crystal by resistance R1-R6, and generates potentials V1-V5. Each potentials V1-V5 are supplied to two or more operational amplifiers 104 of the operational amplifier circuit 109. An operational amplifier 104 sends out the inputted potentials V1-V5 to the power supply wiring 103 as potential V1'-V5' of it and this potential. The power supply wiring 103 supplies high
 20 potential VDD for liquid crystal, potential V1' - V5'. Capacity C1-C5 is connected to the wiring 103 in which potential V1' - V5' appears. a selection signal -- S -- zero -- -- S -- five -- being based -- transfer -- the gate -- 108 -- choosing -- having had -- liquid crystal -- ** -- high -- potential -- VDD -- and -- potential -- V -- one -- ' -- -- V -- five -- ' -- either -- liquid crystal -- ** -- high -- potential -- VDD -- " --
 25 output voltage -- V -- one -- " -- V -- two -- " -- V -- three -- " -- V -- four -- " -- V -- five -- Either of the voltage VN or VP is supplied to the operational amplifier 104 from the reference supply circuit 106 for operational amplifiers.

[0007] Drawing 23 is the circuit diagram showing the concrete example of composition of the reference supply circuit 106 for operational amplifiers in drawing 22 . Although P type MOS transistor 17, Resistance RC, and N type MOS transistor 18 are connected in series between the high potential VDD for liquid crystal, and the low voltage VEE for liquid crystal as shown in this drawing, as for P type MOS transistor 17 and N type MOS transistor 18, the gate is connected with the drain, respectively. And voltage VP and voltage VN are drawn from the ends of Resistance RC.

[0008] Drawing 20 is the circuit diagram showing the concrete example of composition of the operational amplifier 104 in drawing 22 , and illustrates a P top type circuit

especially. As shown in this drawing, voltage VP is supplied to the gate of P type MOS transistor 30, and the gate of P type MOS transistor 35. Voltage V5 is supplied to the gate of P type MOS transistor 31. The source of P type MOS transistors 30 and 35 is connected to the high potential VDD for liquid crystal. Moreover, the drain of P type MOS transistor 30 is connected to the source of P type MOS transistors 31 and 32.

The source of N type MOS transistors 33, 34, and 36 is connected to the low voltage VEE for liquid crystal. Common connection of the gate of N type MOS transistors 33 and 34 is made, and it is connected to the node of the drain of P type MOS transistor 32, and the drain of N type MOS transistor 34. As for P type MOS transistor 31 and N type MOS transistor 33, drains are connected, and the node is connected to the gate of N type MOS transistor 36. The drain of P type MOS transistor 35 and the drain of N type MOS transistor 36 are connected mutually, and output voltage V5' is outputted from the node. This output voltage V5' is fed back to the gate of P type MOS transistor 32. Between the gate of P type MOS transistor 32, and the gate of N type MOS transistor 36, the capacitor CP for phase compensation of the sake for oscillation prevention of this operational amplifier is connected. In addition, as for this capacitor, it is good for there to be nothing.

[0009] Drawing 21 is the circuit diagram showing other examples of the operational

amplifier 104 in the composition of drawing 22 , and illustrates an N top type circuit especially. As shown in this drawing, voltage VN is supplied to the gate of N type MOS transistor 70, and the gate of N type MOS transistor 75. Voltage V1 is supplied to the gate of N type MOS transistor 71. The source of N type MOS transistors 70 and 75 is
5 connected to the low voltage VEE for liquid crystal. The drain of N type MOS transistor 70 is connected to the source of N type MOS transistors 71 and 72. The source of P type MOS transistors 73, 74, and 76 is connected to the high potential VDD for liquid crystal. Common connection of the gate of P type MOS transistors 73 and 74 is made, and it is connected to the node of the drain of N type MOS transistor 72, and the drain
10 of P type MOS transistor 74. The drain of N type MOS transistor 71 and the drain of P type MOS transistor 73 are connected, and the node is connected to the gate of P type MOS transistor 76. The drain of N type MOS transistor 75 and the drain of P type MOS transistor 76 are connected, and output voltage V1' is outputted from the node. This output voltage V1' is fed back to the gate of N type MOS transistor 72. Between the
15 gate of N type MOS transistor 72, and the gate of P type MOS transistor 76, Capacitor CN is connected as an object for the phase compensation of the sake for oscillation prevention of this operational amplifier.

[0010] It depends on the property [whether the circuit of drawing 20 is used as an operational amplifier 104, or the circuit of drawing 21 is used] of the potentials V1, V2,
20 V3, V4, and V5 and the amplifier which are inputted. And all over the operational amplifier circuit 109, the thing of drawing 20 and the thing of drawing 21 are loaded together as an operational amplifier 104.

[0011] In composition which was described above, resistance of resistance R1-R6 was prepared in series between the high potential VDD for liquid crystal, and the low voltage
25 VEE for liquid crystal, and potentials V1-V5 have been obtained in the partial pressure circuit 105 in the drive circuit 100 by carrying out resistance division of between the high potential VDD for liquid crystal, and the low voltage VEE for liquid crystal. Each of

such voltage V1-V5 is inputted into each operational amplifier 104. An operational amplifier 104 has the composition generally known as a voltage follower type constituted so that each output may be fed back to an end child, as shown in drawing 20 and drawing 21 . That is, impedance conversion of the inputted potentials V1-V5 is carried out with potential V1' of the completely same voltage - V5', and the power supply wiring 103 is supplied. Although the voltage of potential V1-V5, potential V1' - V5' is the same, current-supply-source capacity differs. That is, the current-supply-source capacity of potentials V1-V5 is determined by the resistance of the resistance R1-R6 which constitutes the partial pressure circuit 105. On the other hand, since the current-supply-source capacity of potential V1' - V5' is determined by the current-supply-source capacity of an operational amplifier 104, the latter can take more output currents. Consequently, as for the power supply wiring 103 and the output section 102 which receive the output current of an operational amplifier 104, the load drive capacity to external segment / common capacitive load CS becomes large. High potential VDD for liquid crystal and potential [which was obtained] V1' - V5' is chosen based on selection signals S0-S5 into the output section 102, and is supplied to a segment / common capacitive load CS through the external end-connection child 101. Thereby, the charge and discharge of the load CS are carried out, and it serves as predetermined voltage.

[0012] Drawing 24 is a timing chart for explaining operation of the composition of drawing 22 . In this drawing, as for a selection signal S1 and (B), (A) shows the voltage on which the operation amplifier current input / output processor to which selection-signal S4 and (C) flow to a selection signal S5, and (D) flows to an operational amplifier 104, and (E) are given to a segment / common capacitive load CS from the external end-connection child 101 of the output section 102, respectively.

[0013] the case where a selection signal S1, S4, and S5 are serially inputted as shown also in drawing 24 -- the external end-connection child 101 of drawing 22 -- each

selection signal S1, S4, and S5 -- corresponding -- potential V -- 1" V 4" V 5" V 1" is
outputted one by one At this time, the charge and discharge of the segment / the
common capacitive load CS connected to the external end-connection child 101 are
carried out to such potentials. In this case, to the operational amplifier 104 in drawing
5 22 , operation amplifier current input / output processor is flowing in the fixed size.
Consequently, the segment / common capacitive load CS which is a load which
constitutes a liquid crystal panel drive.

[0014]

[Problem(s) to be Solved by the Invention] Since the conventional power supply for a
10 liquid crystal drive is constituted as mentioned above, it has the difficulty that power
consumption is large as follows. For example, suppose that voltage V1" is outputted to
a segment / common capacitive load CS by the selection signal S1 from the selection
external end-connection child 101 through the transfer gate 108 (1) based on output
V1' from an operational amplifier 104 (1) so that drawing 24 may show. next -- a
15 selection signal -- S4 -- time -- Tf -- after -- others -- an operational amplifier --
104 -- (-- four --) -- from -- an output -- V -- four -- ' -- being based -- an output
-- V -- four -- " -- outputting -- having -- ** -- carrying out . Suppose that it
changes to output V1" after Time Tr from output V5" almost like this. As for the inside
of such time Tf and Tr, since a load is driven, although operational amplifier current
20 input / output processor needs to continue flowing, operation amplifier current input /
output processor continues flowing [the time Ts while voltage, such as voltage
potential V4', does not change but continuing outputting the output of the same voltage
value conversely]. While [these] it is unnecessary, this flowing current is large to the
grade which cannot be disregarded, and causes power consumption increase. On the
25 other hand, in the case of a large-sized liquid crystal panel etc., the number and
capacity of a segment / common capacitive load CS increase. For this reason, Time Tf
and Time Tr need to become long and need to shorten Time Tf and time Tr. for this

reason -- being alike -- the operation amplifier current input / output processor which is current which flows regularly to an operational amplifier 104 -- large -- not carrying out -- it does not obtain but a result which increases power consumption further is brought

5 [0015] On the other hand, the potentials V1-V5 which are the outputs of the partial pressure circuit 105 are directly linked with potential V1' - V5', the operational amplifier 104 which needs operation amplifier current input / output processor is lost, and the method of measuring current reduction is also considered. That is, by making small the resistance of resistance R1-R6, the output-impedance dance of potentials V1-V5 can
10 be lowered low, and the output current supplied to a segment / common capacitive load CS can also be enlarged. However, in the case of a semiconductor integrated circuit, when resistance R1-R6 was made not much small, dispersion on manufacture becomes large and resistance R1-R6 is further made from thin P type or an N type diffused-resistor layer, the substrate modulation effect by the semiconductor substrate
15 etc. is received. For this reason, for example, even if resistance R1 becomes as expected value, resistance R6 has the problem of becoming an unusually big value. That is, it is difficult to manage resistance proper and to maintain the precision of potentials V1-V5 proper. What is necessary is to enlarge the resistance of resistance R1-R6, and just to suppress the variation on manufacture, in order to remove this. However, if it
20 does in this way, it will not be avoided that drive capacity becomes small. For this reason, what resistance may become large to cannot be called realistic selection other than the use for the drive of the small liquid crystal panel for a clock display which does not need current value and the potential precision of V1-V5 so much. For this reason, in the large-sized liquid crystal panel which has big load-carrying capacity and needs
25 big drive capacity, the operational amplifier 104 for impedance conversion is indispensable.

[0016] In an operational amplifier, as shown in drawing 20 and drawing 21 , there are a P

top type and an N top type.

[0017] Especially, in an N top type operational amplifier, if it is constant-current-ized and output voltage V1' is changed more highly sharply, since the transistor 75 is constant-current-ized, transistors 70 and 75 cannot reduce output voltage V1'

5 promptly. In order to reduce output voltage V1' early, it will be necessary to use what had a certain amount of size in the transistor 75 which is a load mechanical component, and the constant current which flows inevitably will also become large. For this reason, even while output voltage V1' is outputting voltage equal to input voltage V1, big current will flow to a transistor 75 and big current will be consumed.

10 [0018] Moreover, in a P top type operational amplifier, if it is constant-current-ized and output voltage V5' is changed lowness sharply, since the transistor 35 is constant-current-ized, transistors 30 and 35 cannot pull up output voltage V5' promptly. In order to pull up output voltage V5' early, it will be necessary to use what had a certain amount of size in the transistor 35 which is a load mechanical component, and
15 the constant current which flows inevitably will also become large. For this reason, even while output voltage V5' is outputting voltage equal to input voltage V5, big current will flow to a transistor 35 and big current will be consumed.

[0019] In a liquid crystal panel etc., if it sees from the semiconductor circuit side which drives the segment / common ** which opts for transparency (lighting) of the light to
20 liquid crystal, and nontransparent (astigmatism LGT) of light, and which is two electrodes, and this load, it will be a capacity component. And a liquid crystal panel is enlarged increasingly and the segment / common ** of liquid crystal voltage or a liquid crystal panel used for them are also increasing by enlargement of a panel. The consumed electric current required to display a liquid crystal panel is dependent on
25 f-C-V (frequency X capacity value X voltage). For this reason, increase of the consumed electric current is increasingly caused as the voltage and capacity which should be used with enlargement of a liquid crystal panel become large.

[0020] A personal computer, a word processor, etc. with the big liquid crystal panel are miniaturized in recent years, and it is becoming a book mold. Although there are facilities which can be carried anywhere by this, there is a problem that a battery life is short. That is, the demand to reduction of the power consumption of a liquid crystal panel is large.

[0021] When a constant-voltage generating circuit as shown in drawing 19 is constituted to the above demands using an operational amplifier as shown in drawing 20 and drawing 21, though the transistor 35 of drawing 20 or the output section of transistor 75 grade of drawing 21 is [the division potential VB and output voltage VB'] equal voltage in the composition of drawing 19 because of a constant current source, it has always big drive capacity, and passing a constant current is continued, and there is a fault of causing increase of power consumption.

[0022] In case the purpose of this invention supplies the big constant voltage of drive capacity to capacitive loads, such as a liquid crystal panel which is going to solve the trouble of the above-mentioned conventional technology, and enlarges, and driver voltage has high-voltage-ized, it is to offer the constant-voltage generating circuit and semiconductor integrated circuit equipment which made it possible to reduce the consumed electric current.

[0023]

[Means for Solving the Problem] The constant-voltage generating circuit of this invention carries out impedance conversion of the 1st reference voltage. The impedance-conversion circuit which outputs the 2nd reference voltage of voltage equal to the 1st reference voltage, KOPARETA which the direct input of the above 1st and the 2nd two reference voltage is carried out, and reverses an output by the 1st case where the difference of such reference voltages which are two is larger than the offset voltage defined beforehand, and the 2nd case of being small, It connects between the output side of the aforementioned impedance-conversion circuit, and a power supply, a

control terminal is connected to the outgoing end of the aforementioned comparator, and it is constituted as what is equipped with the switching means turned on / turned off in the case of [of the above / 1st/] the 2nd.

[0024]

- 5 [Function] When the 2nd reference voltage changes exceeding the offset voltage of a comparator to the 1st reference voltage, the power supply of a low impedance is comparatively connected to the output side of an impedance-conversion circuit through switching means, for example. Thereby, the 2nd reference voltage is returned to the 1st reference voltage.

10 [0025]

[Example] Hereafter, the example of this invention is explained, referring to a drawing.

- [0026] Drawing 1 is the block diagram of the constant-voltage generating circuit apparatus concerning one example of this invention. As shown in drawing 1, input voltage V_{in} is outputted through the impedance-conversion circuit 1 as voltage V_{in}' by which impedance conversion was carried out on input voltage V_{in} and this voltage. The output of the impedance-conversion circuit 1 is given to the right input terminal of the operational amplifier 2 which operates as a comparator. Input voltage V_{in} is given to the negative input terminal of an operational amplifier 2. Offset is intentionally given to the operational amplifier 2. That is, an operational amplifier 2 compares the voltage of a right input terminal with the voltage of a negative input terminal. By making into the operating point the point which becomes an offset voltage difference, both the voltage difference reverses an output and carries out ON/OFF control of the switch 3. a switch 3 -- output voltage V_{in}' of the impedance-conversion circuit 1, and voltage -- V_A -- intermittence operation between power supplies is performed Incidentally, voltage V_A is supplied by the low impedance.
- 15
20
25

[0027] In composition which was described above, the operation is explained below.

[0028] Offset is intentionally given to the operational amplifier 2. In case this reason

compares input voltage V_{in} with voltage V_{in}' , it is for giving specific insensible width of face. When the voltage difference more than offset voltage arises between input voltage V_{in}' of a right input terminal, and the input voltage V_{in} of a negative input terminal, an operational amplifier 2 performs comparison operation bordering on this operating point, and makes a switch 3 turn on. If a switch 3 turns on, voltage V_A will be applied to the output of the impedance-conversion circuit 1, and output voltage V_{in}' of the impedance-conversion circuit 1 will be drawn in a voltage V_A side.

[0029] It is supplied to a load, using the impedance-conversion circuit 1 as voltage V_{in}' which carried out impedance conversion of the input voltage V_{in} . In order that the impedance-conversion circuit 1 may reduce the consumed electric current, the output impedance is not set up so low. For this reason, a demand of current with an excessive load will reduce voltage V_{in}' naturally. When this sag exceeds the offset given to the operational amplifier 2, an operational amplifier 2 makes a switch 3 turn on based on comparison operation. Consequently, a power supply V_A is directly linked with voltage V_{in}' , and the lowered voltage is recovered promptly.

[0030] The fall of voltage V_{in}' according to current increase as mentioned above is inhibited. This will be detected by the operational amplifier 2 if voltage V_{in}' is recovered. According to this, an operational amplifier 2 turns off a switch 3 and separates voltage V_A from voltage V_{in}' . Consequently, voltage V_{in}' can hold voltage fixed irrespective of a load effect, and normal operation of a load to which voltage V_{in}' is supplied is secured.

[0031] It is not necessary to give big drive capacity to the output of the impedance-conversion circuit 1. For this reason, low-power-izing of the impedance-conversion circuit 1 is possible. When a load needs big current, output voltage V_{in}' of the impedance-conversion circuit 1 falls. An operational amplifier 2 will operate, if this sag exceeds an offset part, and it turns on a switch 3. According to this, the voltage V_A of a low impedance will be connected to voltage V_{in}' , and current required for a load will be supplied from this voltage V_A side.

[0032] Incidentally, the offset given to an operational amplifier 2 is set as the insensible voltage width of face for input voltage V_{in} and voltage $V_{in'}$ preventing the malfunction by the noise etc. in the case of very near voltage.

[0033] Drawing 25 shows the symbol at the time of using an operational amplifier 2 as a comparator. As shown in drawing 25, an operational amplifier 2 carries out operation which Output out reverses, when + input exceeds - input. Corresponding to this symbol, the circuit diagram of a P top type MOS type comparator is shown in drawing 26, and the circuit diagram of an N top type MOS type comparator is shown in drawing 27.

[0034] In drawing 26, the gate input of a transistor 31 is + input, and the gate input of a transistor 32 is - input. Transistors 30, 31, 32, 33, and 34 constitute the comparator. A comparison result is drawn from the node (drain) of transistors 35 and 36 as an output out.

[0035] As mentioned above, the output section which derives an output is usually given to a comparator in many cases like drawing 26. When making as a semiconductor circuit, the transistors 31 and 32 and transistors 33 and 34 of this comparator are made so that W/L (gate width/gate length) which shows the transistor size may become the same. Originally, the purpose of a comparator is to compare the difference of the plus voltage inputted into the gate of a transistor 31, and the voltage inputted into the gate of a transistor 32 with a sufficient precision. The precision of the comparison, i.e., the sensitivity difference between two input terminals, is usually 1mV or less.

[0036] However, offset is intentionally given to it in operating as a comparator the operational amplifier 2 shown in drawing 1. That how many kinds of method exists as a method of giving this offset. This point is explained based on the circuit of drawing 26.

[0037] There is the method of adjusting as one of the methods for giving offset with the method of preparing a difference in W/L of transistors 31 and 32, and transistors 31 and 33 and transistors 32 and 34 etc. The easy thing of adjustment of offset voltage is the method of preparing a difference in W/L of transistors 31 and 32. The method of

preparing a difference in gate width W, making gate-length L the same especially is effective.

[0038] Now, the case where gate width of a transistor 31 is made larger than the gate width of a transistor 32 is temporarily considered as $W/L=100$ of a transistor 31, and
5 $W/L=80$ of a transistor 32. In this case, in order to pass current equal to transistors 31 and 32, it is necessary to make a gate voltage 32 higher than a gate voltage 31. Unless in other words it gives the gate input voltage V_{G32} higher than the gate input voltage V_{G31} , the on resistance of a transistor 32 does not become equal to the on resistance of a transistor 31.

10 [0039] And the relation between the gate input voltage V_{G31} of a transistor 31 and the gate input voltage V_{G32} of a transistor 32 $V_{G31} < V_{G32} = V_{G31} + \Delta V_{GOFF} \dots (1)$

When it becomes offset voltage) of the request between the input terminals as a comparator, the on resistance and the flowing current of transistors 31 and 32 become equal, and (however ΔV_{GOFF} become the branch point which the output signal of a
15 comparator rotates normally or reverses, i.e., the operating point of a comparison result. Therefore, the offset which becomes the input voltage included in a comparator ΔV_{GOFF} can be given by changing W/L of transistors 31 and 32.

[0040] And thing for which W/L of a transistor 32 is made smaller than W/L of a transistor 31 $V_{G31} < V_{G32} - \Delta V_{GOFF} \dots (2)$

20 It is got blocked at the time of **** gill ****. $V_{G32} - V_{G31} > \Delta V_{GOFF} \dots (2')$

When it becomes, it means that big voltage had been given by + input terminal from a part for predetermined offset voltage ΔV_{GOFF} , and the signal of a low level (GND level) is outputted to Output out rather than it at - input terminal of a comparator.

[0041] On the contrary, it compares with - input terminal of a comparator with + input
25 terminal. $V_{G31} > V_{G32} - \Delta V_{GOFF} \dots (3)$

It is got blocked at the time of **** gill ****. $V_{G32} - V_{G31} < \Delta V_{GOFF} \dots (3')$

When it becomes, the voltage of + input terminal does not have a bigger voltage

difference than a part for predetermined offset voltage ΔV_{GOFF} to the voltage of - input terminal of a comparator. For this reason, the signal of high level (VDD level) is outputted to Output out.

[0042] On the contrary, as $W/L=80$ of a transistor 31, and $W/L=100$ of a transistor 32, when gate width of a transistor 31 is made smaller than the gate width of a transistor 32, how to give offset voltage can be changed. At this time, W/L of a transistor 31 is smaller than W/L of a transistor 32. For this reason, if it is going to give the same current as a transistor 32, i.e., the same on resistance, to a transistor 31, it is necessary to add additional voltage, i.e., offset voltage, ΔV_{GOFF} to a transistor 31 further at the gate input voltage V_{G31} .

[0043] Therefore, when W/L of a transistor 31 is smaller than W/L of a transistor 32 $V_{G31}-\Delta V_{GOFF}>V_{G32}$... (4),

namely, -- $V_{G31}>V_{G32}-\Delta V_{GOFF}$... (4')

When the input voltage of + input terminal becomes larger than a part for offset ΔV_{GOFF} voltage from the input voltage of - input terminal with elevation of the input voltage of a next door and + input terminal, the comparison output out serves as high level (VDD level).

[0044] One side $V_{G31}-\Delta V_{GOFF}<V_{G32}$... (5)

namely, -- $V_{G31}<V_{G32}-\Delta V_{GOFF}$... (5')

When the input voltage of a next door and + input terminal does not become larger than a part for offset ΔV_{GOFF} voltage from the input voltage of - input terminal, the comparison output out serves as a low level (GND level).

[0045] That is, offset voltage can be set up by making one W/L of the transistors 31 and 32 larger than W/L of another side. That is, the case where it thinks on the basis of a transistor 31 is explained. Suppose that W/L of a transistor 32 is smaller than W/L of a transistor 31. In this case, the voltage from which this comparator carries out comparison operation, and the highness/low of Output out change needs the voltage for

offset ΔV_{GOFF} for – input terminal side. On the other hand, when W/L of a transistor 32 is larger than W/L of a transistor 31, only the voltage of offset part ΔV_{GOFF} of the voltage which carries out comparison operation may be low at – input terminal side.

- 5 [0046] The above thing becomes opposite when it thinks on the basis of a transistor 32. Suppose that W/L of a transistor 31 is smaller than W/L of a transistor 32. in this case, the voltage from which this comparator carries out comparison operation, and the highness/low of Output out change -- + input terminal side -- a part for offset ΔV_{GOFF} -- the voltage which carries out comparison operation required [high
- 10 voltage] when W/L of a transistor 31 is larger than W/L of a transistor 32 is good on the low voltage of offset part ΔV_{GOFF} at + input terminal side

[0047] Incidentally, even if it replaces the size of W/L of transistors 31 and 32, neither the meaning of – input terminal and + input terminal nor the polarity of an output changes, but only changes the comparison operating point as a comparator.

- 15 [0048] In drawing 27 , the gate input of a transistor 71 is + input, and the gate input of a transistor 72 is – input. Transistors 70, 71, 72, 73, and 74 constitute a comparator. A comparison result is drawn from the drain of transistors 75 and 76 as an output out.
- [0049] Also in such an N top type, offset can be given to the voltage between two input terminals to the operating point by making W/L of a transistor 71 larger than W/L of a
- 20 transistor 72.

[0050] That is, it sets in the relation between the gate input voltage V_{G71} of a transistor 71, and the gate input voltage V_{G72} of a transistor 72.

$$V_{G71} < V_{G72} - \Delta V_{GOFF} \dots (6)$$

$$\text{Jamming } V_{G72} - V_{G71} > \Delta V_{GOFF} \dots (6')$$

- 25 If voltage only with big offset voltage ΔV_{GOFF} is impressed to – input terminal side at least rather than + input terminal side so that it may become, Output out will serve as a low level (GND level).

[0051] When the voltage difference the voltage by the side of – input terminal and by the side of + input terminal is smaller than offset voltage ΔV_{GOFF} on the other hand $V_{G71} > V_{G72} - \Delta V_{GOFF}$... (7),

Jamming $V_{G72} - V_{G71} < \Delta V_{GOFF}$... (7')

5 It comes out, and it is and Output out serves as high level (VDD level).

[0052] On the contrary, when W/L of a transistor 71 is made smaller than W/L of a transistor 72 that is, the case where W/L of a transistor 72 is made larger than W/L of a transistor 71 is considered. In this case, rather than the gate input voltage V_{G71} given to a transistor 71, if the gate input voltage V_{G72} given to a transistor 72 is given as a bigger thing at least than offset voltage ΔV_{GOFF} , it will be got blocked.

10

$V_{G71} - \Delta V_{GOFF} > V_{G72}$... (8)

Jamming $V_{G71} - V_{G72} > \Delta V_{GOFF}$... (8')

If it becomes, Output out will serve as high level (VDD level).

[0053] When the gate input voltage V_{G71} given to a transistor 71 on the other hand is not larger than offset voltage ΔV_{GOFF} from the gate input voltage V_{G72} given to a transistor 72 $V_{G71} - \Delta V_{GOFF} < V_{G72}$... (9),

15

Jamming $V_{G72} - V_{G71} < \Delta V_{GOFF}$... (9')

It comes out, and it is and Output out serves as a low level (GND level).

[0054] That is, generating of offset voltage can be set up by making one W/L of the transistors 71 and 72 larger than W/L of another side. It will be as follows if it thinks on the basis of a transistor 71. That is, suppose that W/L of a transistor 72 is smaller than W/L of a transistor 71. In this case, the voltage from which this comparator carries out comparison operation, and the highness and low of Output out change needs the voltage difference for offset ΔV_{GOFF} for – input terminal side. On the other hand, suppose that W/L of a transistor 72 is larger than W/L of a transistor 71. In this case, the voltage from which this comparator carries out comparison operation, and the highness and low of Output out change may be [only the voltage difference for offset

20

25

deltaVG_{OFF} of the input voltage by the side of – input terminal] low.

[0055] On the contrary, if based on a transistor 72, an opposite thing can completely be said. That is, suppose that W/L of a transistor 72 is larger than W/L of a transistor 71.

In this case, the voltage of + input terminal side from which this comparator carries out

5 comparison operation, and the highness and low of Output out change may be [the voltage difference for offset deltaVG_{OFF}] low. Suppose that W/L of a transistor 71 is smaller than W/L of a transistor 72. In this case, the voltage from which this comparator carries out comparison operation, and the highness and low of Output out change will say that the voltage difference for offset deltaVG_{OFF} is required as input
10 voltage by the side of + input terminal.

[0056] As mentioned above, comparator operation can be carried out when a bigger voltage difference than offset voltage occurs between the voltage of + input terminal, and the voltage of – input terminal by preparing offset voltage between + input terminal of a comparator, and – input terminal.

15 [0057] Drawing 2 shows the 1st example of the composition of drawing 1 . The composition which applied GND voltage as voltage VA is illustrated using the voltage follower type operational amplifier 4 as an impedance–conversion circuit 1, using MOS transistor 5 of N channels respectively as a switch 3. That is, most output impedances can be theoretically disregarded to a GND voltage side. In addition, N top type
20 composition as shown in drawing 21 as an operational amplifier 4 is applied.

[0058] An operational amplifier 4 has voltage follower type composition so that clearly also from drawing 21 . The output has composition which derives the voltage of + input terminal as output voltage as it is by negative feedback. Consequently, input voltage Vin is drawn as voltage Vin' by which impedance conversion was carried out. However,

25 naturally the current drive capacity to hit drawing current from a load has a limit. As the result, when the power surge more than the offset part of an operational amplifier 2 arises in voltage Vin', an operational amplifier 2 reverses the output and MOS transistor

5 turns on. Voltage $V_{in'}$ is lowered to a GND voltage side with ON of MOS transistor 5. In the meantime, the load current flows to the GND side. For this reason, it is not necessary to draw excessive current in the impedance-conversion circuit 1 from a load. That is, as an impedance-conversion circuit 1, low-power type composition is

5 applicable.

[0059] Drawing 3 shows the 2nd example of the composition of drawing 1. In the composition of drawing 2, the composition which connected the constant current source 6 to MOS transistor 5 is illustrated.

[0060] In drawing 3, input voltage V_{in} is drawn through an operational amplifier 4 as
10 voltage $V_{in'}$ by which impedance conversion was carried out. However, naturally the current drive capacity to hit drawing current from a load has a limit. As the result, when the power surge more than the offset part of an operational amplifier 2 arises in voltage $V_{in'}$, an operational amplifier 2 reverses the output and MOS transistor 5 turns on. The load current flows to a constant-current-source 6 side with ON of MOS transistor 5.
15 For this reason, voltage $V_{in'}$ returns to predetermined voltage. Since the load current flows to a constant-current-source 6 side in the meantime, the level luffing motion of the excessive current from the load to the impedance-conversion circuit 1 is unnecessary. That is, as an impedance-conversion circuit 1, low-power type composition is applicable.

20 [0061] Drawing 4 shows the 3rd example of the composition of drawing 1. In drawing 3, the composition which applied resistance 7 to the impedance-conversion circuit 1 is illustrated.

[0062] In drawing 4, input voltage V_{in} is drawn as voltage $V_{in'}$ of a high impedance through resistance 7. However, the current drive capacity to hit drawing current from a
25 load is restricted by the output impedance of input voltage V_{in} , and the impedance of resistance 7. Consequently, since the large load current cannot be taken, if a load becomes heavy, naturally output voltage $V_{in'}$ will go up. When voltage $V_{in'}$ carries out a

power surge more than the offset part of an operational amplifier 2, an operational amplifier 2 reverses the output and MOS transistor 5 turns on. The load current flows to a constant-current-source 6 side with ON of MOS transistor 5. For this reason, voltage $V_{in'}$ returns to predetermined voltage promptly. Since the load current flows to a constant-current-source 6 side in the meantime, the level luffing motion of the excessive current from the load to the impedance-conversion circuit 1 is unnecessary. As an impedance-conversion circuit 1, since resistance 7 is only contained in series, most power consumption at the time can usually be disregarded.

[0063] Drawing 5 shows the 4th example of the composition of drawing 1 . This

illustrates the composition which reverses the output of an operational amplifier 2 by the inverter 8 which replaced + input terminal and - input terminal of an operational amplifier 2, and was made to reverse the output condition of an operational amplifier 2, and was connected to the output line 9, and was given to the gate of MOS transistor 5 in drawing 2 .

[0064] In drawing 5 , when voltage $V_{in'}$ turns on predetermined voltage rather than input voltage V_{in} , offset of an operational amplifier 2 is set up so that the operating point may be reached. Consequently, an operational amplifier 2 performs a right output by the normal state. If voltage $V_{in'}$ goes up and it exceeds input voltage V_{in} rather than the offset voltage difference of an operational amplifier 2 with increase of the load current, an operational amplifier 2 will come to perform a negative output. An inverter 8 reverses the signal on the output line 9 of an operational amplifier 2, and gives it to the gate of MOS transistor 5. For this reason, if an operational amplifier 2 performs a negative output, MOS transistor 5 turns on. This draws the load current in the GND side, and output voltage $V_{in'}$ of the impedance-conversion circuit 1 is pulled back to the GND side.

[0065] In drawing 2 , and 3 and 5, when an N top type operational amplifier as shown in drawing 21 as an operational amplifier 4 is used, operate, and a transistor 76 is in a

transistor 75 and mutual, and makes output voltage $V1'$ equal to input voltage $V1$.

Originally, its drive capacity is high, and a transistor 76 cannot be overemphasized by fully having capacity, when pulling up voltage $V1'$ on high voltage. However, the transistor 75 is constant-current-ized. For this reason, the capacity which pulls change of voltage $V1'$ to a GND voltage side early more is missing.

[0066] On the other hand, when voltage Vin' becomes high voltage, in order to reduce this promptly, MOS transistor 5 turns on and drawing 2, and 3 and 5 share the load current. For this reason, for example, by drawing 21, the constant current usually passed to a transistor 75 can be made small. That is, what is necessary is to give only the minimum current capacity required for a transistor 75 in order to hold input voltage Vin and voltage Vin' similarly. For this reason, input voltage Vin and output voltage Vin' do not almost need to pass unnecessarily big current in an operational amplifier 4, when equal. Thereby, it not only can reduce the consumed electric current sharply, but it can improve flattery nature to voltage Vin' of input voltage Vin .

[0067] In addition, in the above-mentioned example, it is as having said also in advance that there are various methods about how to give offset of operation increase amplifier. The offset given to a comparator can be arbitrarily chosen by the flattery nature of voltage Vin' to input voltage Vin , the logical organization of other circumference circuits, etc.

[0068] Drawing 6 is the block diagram of the constant-voltage generating circuit concerning the 2nd example of this invention. Drawing 6 shows the example which applied VDD voltage as voltage VA using the voltage follower type operational amplifier 4 as an impedance-conversion circuit 1 in drawing 1, using MOS transistor 10 of P channels as a switch 3. That is, a VDD voltage side has a low output impedance very much. In addition, as an operational amplifier 4, P top type composition as shown in drawing 20 is applied.

[0069] An operational amplifier 4 has voltage follower type composition, and has

composition which derives the voltage of + input terminal as output voltage as it is by carrying out negative feedback of the output so that clearly also from drawing 6 .

Consequently, although input voltage V_{in} is drawn as voltage $V_{in'}$ by which impedance conversion was carried out, naturally the current drive capacity to hit supplying current

5 to a load has a limit. As the result, when voltage $V_{in'}$ carries out sag more than the offset part of an operational amplifier 11, an operational amplifier 11 reverses the output and MOS transistor 10 turns on. Voltage $V_{in'}$ can be pulled up to a VDD voltage side with ON of MOS transistor 10. since the load current is supplied from the VDD side in the meantime -- the excessive current from the impedance-conversion circuit 1
10 to a load -- flowing out -- it is unnecessary That is, as an impedance-conversion circuit 1, low-power type composition is applicable.

[0070] Now, in drawing 6 , when composition like drawing 20 is applied as an operational amplifier 4, a transistor 36 acts each other on a transistor 35 and mutual, and output voltage $V_{5'}$ becomes equal to input voltage V_5 . Originally a transistor 36 has high drive
15 capacity, and when reducing voltage $V_{5'}$ on low voltage, fully having capacity cannot be overemphasized. However, since the transistor 35 is constant-current-ized, the capacity which pulls change of voltage $V_{5'}$ to the quantity potential power supply VDD side early more is missing.

[0071] On the other hand, MOS transistor 10 turns on and drawing 6 shares the load
20 current, in order to pull up this promptly, when voltage $V_{in'}$ becomes low voltage. For this reason, for example, by drawing 20 , the constant current usually passed to a transistor 35 can be made small. That is, what is necessary is to give only the minimum current capacity required as a transistor 35, in order to hold input voltage V_{in} and the voltage of voltage $V_{in'}$ similarly. For this reason, input voltage V_{in} and output voltage
25 $V_{in'}$ do not almost need to pass unnecessarily big current in an operational amplifier 4, when equal. Thereby, it not only can reduce the consumed electric current sharply, but it can improve flattery nature to voltage $V_{in'}$ of input voltage V_{in} .

[0072] Drawing 7 is the block diagram of the constant-voltage generating circuit concerning the 3rd example of this invention. As shown in drawing 7, input voltage V_{in} is outputted through the impedance-conversion circuit 1 as voltage $V_{in'}$ by which impedance conversion was carried out on input voltage V_{in} and this voltage. The output
5 of the impedance-conversion circuit 1 is given to the right input terminal of two operational amplifiers 2 and 11 which operate as a comparator. Input voltage V_{in} is given to the negative input terminal of each operational amplifiers 2 and 11. Operational amplifiers 2 and 11 have given offset different, respectively intentionally, compare the voltage of a right input terminal with the voltage of a negative input terminal, by making
10 into the operating point the point with which both become an offset voltage difference, reverse the output and carry out ON/OFF control of the switches 3 and 13, respectively. A switch 3 performs intermittence operation between output voltage $V_{in'}$ of the impedance-conversion circuit 1, and GND. A switch 13 performs intermittence operation between output voltage $V_{in'}$ of the impedance-conversion circuit 1, and the
15 high potential power supply VDD. Incidentally, both GND voltage and the high potential power supply VDD serve as a low impedance.

[0073] In composition which was described above, the operation is explained below.

[0074] Offset is intentionally given to operational amplifiers 2 and 11. In case this reason compares input voltage V_{in} with voltage $V_{in'}$, it is for giving specific insensible
20 width of face. When the voltage difference of a more than equivalent to offset arises, operational amplifiers 2 and 11 perform comparison operation bordering on this operating point, and make switches 3 and 13 turn on between input voltage $V_{in'}$ of a right input terminal, and the input voltage V_{in} of a negative input terminal. If a switch 3 turns on, it will connect with GND and the output of the impedance-conversion circuit 1
25 will reduce output voltage $V_{in'}$ of the impedance-conversion circuit 1 to a GND voltage side. On the other hand, if a switch 13 turns on, it will connect with the high potential power supply VDD, and the output of the impedance-conversion circuit 1 will pull up

output voltage V_{in}' of the impedance-conversion circuit 1 to the high potential power supply VDD side.

[0075] Now, input voltage V_{in} is drawn by the impedance-conversion circuit 1 as voltage V_{in}' by which impedance conversion was carried out. Naturally the current drive capacity to hit drawing current from a load has a limit. As the result, when the power surge more than the offset part of an operational amplifier 2 arises in voltage V_{in}' , an operational amplifier 2 reverses the output and a switch 3 turns on. Voltage V_{in}' is pulled back with ON of a switch 3 at a GND voltage side. Since the load current flows to the GND side in the meantime, the level luffing motion of the excessive current from the load to the impedance-conversion circuit 1 is unnecessary.

[0076] On the other hand, naturally the current drive capacity to hit supplying current to a load from the impedance-conversion circuit 1 also has a limit. As the result, when the sag more than the offset part of an operational amplifier 11 arises in voltage V_{in}' , an operational amplifier 11 reverses the output and a switch 13 turns on. although voltage V_{in}' can be pulled up to a VDD voltage side with ON of a switch 13, since the load current is supplied from the VDD side in the meantime — the excessive current from the impedance-conversion circuit 1 to a load — flowing out — it is inhibited

[0077] Drawing 8 shows the example of the composition of drawing 7 , and shows the example using MOS transistor 10 of P channels as a switch 13 using the voltage follower type operational amplifier 4 as an impedance-conversion circuit 1, using MOS transistor 5 of N channels as a switch 3.

[0078] An operational amplifier 4 has voltage follower type composition, and has composition which derives the voltage of + input terminal as output voltage as it is by carrying out negative feedback of the output so that clearly also from drawing 8 .

Consequently, input voltage V_{in} is drawn as voltage V_{in}' by which impedance conversion was carried out.

[0079] In drawing 8 , the operation is almost the same as the composition of drawing 7 .

Therefore, what is necessary is just to perform minimum constant-current operation unnecessary the big current drive capacity as an operational amplifier 4 and required to hold input voltage V_{in} and voltage V_{in}' on the same voltage. For this reason, the power consumption of an operational amplifier 4 can be reduced sharply. Moreover, it is made
5 to recover the voltage of voltage V_{in}' with the high potential power supply VDD and GND potential of a low impedance comparatively. For this reason, the flattery nature of voltage V_{in}' to input voltage V_{in} can be improved.

[0080] It shall apply to the conventional power circuit for liquid crystal displays which showed the composition shown in drawing 2 , and the composition shown in drawing 6
10 to drawing 14 in each above example as it is. That is, in drawing 22 , the case where apply the circuit of drawing 2 to the circuit which carries out impedance conversion to voltage V_2' from voltage V_2 , and the circuit of drawing 6 is applied to the circuit which carries out impedance conversion to voltage V_3' and V_4' from voltage V_3 and V_4 is considered.

[0081] In this case, as shown in the timing chart of drawing 9 , although especially the consumed electric current input / output processor of each operational amplifier increases only when consumed at the time of the output of SEG/COM, i.e., voltage $V_1' - V_5'$, there is at the time of other steady states, and it is sharply reduced by the whole average at it. [comparatively little] Consequently, in the case of the power circuit for
20 liquid crystal displays which uses an impedance-conversion circuit abundantly, the power consumption can be reduced sharply.

[0082] Drawing 10 is a block diagram at the time of applying the constant-voltage generating circuit of this invention to a low-battery power supply. As shown in drawing 10 , in the noninverting amplifier 15, voltage V_0 is inputted by + input terminal of an
25 operational amplifier 14, and - input terminal is connected to GND through Resistance R_s , and negative feedback of the output of an operational amplifier 14 is carried out through R_f . The output of a noninverting amplifier 15 is inputted into the voltage

stabilizer 16 which has the composition of this invention. Incidentally, the case where the composition of drawing 2 is applied as a voltage stabilizer 16 is illustrated.

[0083] In the above composition, a noninverting amplifier 15 amplifies input voltage V_0 twice $(1+R_f/F_s)$, and outputs voltage $(1+R_f/F_s) V_0$. The voltage stabilizer 15 which

5 undergoes this output outputs voltage $(1+R_f/F_s) V_0$. If the load current increases and the output voltage of a voltage stabilizer exceeds a part for the offset voltage of an operational amplifier 2 when supplying this output voltage to other circuits, MOS transistor 5 will turn on, the load current will be drawn in the GND side, and output voltage will be reduced. Consequently, as a constant voltage power supply, usually, at
10 the time, it is the very few consumed electric current which is not so large, and the load current will carry out impedance conversion of the output of a noninverting amplifier 15, and will output outside.

[0084] That is, the constant-voltage generating circuit apparatus of this invention can constitute the good source of a constant voltage of flattery nature from the constant
15 consumed electric current by incorporating as a part of source of a constant voltage.

[0085] An example which is further different in drawing 11 is shown. Drawing 11 shows the voltage stabilizer characterized by replacing with V_{in} of drawing 1 and inputting voltage $V_{in''}$ to the minus input of a comparator 2.

[0086] Drawing 12 has shown the case where it corresponds to drawing 11 .

20 [0087] Like conventional drawing 22 , the case where carry out resistance division and reference voltages V_1 – V_5 are made using a resistance element is considered. The partial pressure circuit 105 of drawing 22 is constituted as shown in drawing 13 . And it is V_1''' to V_{in} of drawing 12 about $V_1 V_{in'''}$ It inputs. And the voltage of V_1 obtained by drawing 22 and drawing 12 is 5V and V_1''' . Resistance is set up so that it may be set to
25 5.1V. This is set to $V_1=V_{in}=5V$ and $V_1''' =V_{in''}=5.1V$. And output $V_{in'}$ of drawing 12 is changed in the drawing 11 row, and suppose that input voltage 5.1V of $V_{in''}$ were exceeded. If comparator 2A which does not give offset is used at this time, an output

will be reversed in 5.1V, and V_{in}' will make a transistor turn on, and will carry out the work which reduces V_{in}' to the GND side. And when V_{in}' falls from 5.1V, the output of comparator 2A is reversed and a transistor 5 is turned off. Thus, you may input 3rd new reference voltage V_{in}'' into comparator 2A. Moreover, as shown in drawing 13, it is the 3rd reference potential V_{in}''' arbitrarily by resistance ratio. When it enables it to set up, it is necessary not to dare prepare offset in comparator 2A. To comparator 2A, it was made to be based on resistance, and it is [direction] more easy and is certain rather than it designs and sets up offset voltage with a transistor. Of course, it cannot be overemphasized that the further offset may be prepared in comparator 2A. However, it is clear for the voltage setup by resistance division to be easier.

[0088] Moreover, the impedance-conversion circuit in drawing 11 and drawing 12 can be made into a resistance element, or can also be made into a constant current source as shown in drawing 3, and cannot be overemphasized by that such various kinds of deformation and application are possible.

[0089] Drawing 14 shows a further different example. In drawing 14, 30 is the field effect transistor of the 1st conductivity type. The gate is connected to V_{in} and the drain is connected to V_{in}' for the source of this transistor 30 at V_A , respectively.

[0090] Drawing 15 transforms a part, when materializing drawing 14 further. The transistor 31 in here consists of P channel type MOS transistors. Now, suppose that V_{in}' was changed (elevation) in this circuit. And V_{in}' presupposes that it becomes large rather than it is expressed with formula $V_{in}' - V_{in} \geq V_{THP}$ (threshold voltage [in / a transistor 31 / in V_{THP}]). Then, a transistor 31 carries out the work which turns on, and reduces V_{in}' which went up to the GND side (when V_A is set to GND). Therefore, you may constitute the operational amplifier 4 in the small thing of the drive capacity of a transistor 75 like drawing 21. That is, when V_{in}' goes up, a transistor 31 carries out the work which reduces the V_{in}' . And since the field effect transistor was used as a transistor 31, the more it changes V_{in}' sharply, the on resistance of a transistor 31

tends to become small and, the more tends to reduce V_{in}' more powerfully. On the contrary, if V_{in}' approaches V_{in} , an on resistance will become high and a transistor 31 will stop being able to cause undershoot of V_{in}' exceeding V_{in} easily. Since it has such a merit, the property which followed in footsteps of potential change of V_{in}' can be acquired. In addition, the difference (offset) with V_{in} and V_{in}' [in / the impedance-conversion circuit 1 / usually] is V_{THP} of a transistor 31. A small thing cannot be overemphasized.

[0091] VA is a high voltage VDD and drawing 16 shows the case where the field effect transistor (N channel type MOS transistor 32) of the 2nd conductivity type is used as a transistor 32.

[0092] The gate is connected to V_{in} and the drain is connected to V_{in}' for the source of a transistor 32 at VDD. V_{in}' has fallen greatly now and the potential $V_{in}-V_{in}'$ is the threshold voltage V_{THN} of a transistor 32. When it exceeds, a transistor 32 turns on. A transistor 32 carries out the work which pulls up V_{in}' which descended to the VDD side. And a transistor 32 will be set to being turned off, if V_{in}' approaches V_{in} and reaches threshold voltage like drawing 15 . The descent in this case is the same as that of drawing 15 .

[0093] Drawing 17 transposes an impedance-conversion circuit to a resistance element 7 from an operational amplifier 4, and prepares a constant current source in the source side of the transistor 31 in drawing 15 while it has both drawing 15 and drawing 16 .

When V_{in}' is changed also in such a circuit, a transistor 31 or either of 32 turns on, and the work which pulls back V_{in}' to the potential of V_{in} is carried out. In addition, it cannot be overemphasized that it is good at the operational amplifier which showed the impedance-conversion circuit 1 to drawing 15 and drawing 16 with the natural thing.

[0094] Drawing 18 shows a further different example. Here, it is the gate input of the transistor 31 in drawing 15 The 3rd reference potential V_{in}''' It is carrying out.

[0095] It is V_{in}''' so that stable potential ($V_{in}'''-V_{in}'$) almost equal to V_{in} , i.e., gate bias

potential, may not have output V_{in}' [good] for the threshold V_{THP} voltage of a transistor 31 in drawing 18 . It is set as arbitrary potentials. If output V_{in}' is changed at this time, it is made for a transistor 31 to turn on. Thus, it is also possible to input the 3rd reference potential.

5 [0096]

[Effect of the Invention] As stated above, the constant-voltage generating circuit of this invention In supplying input voltage to a load through an impedance-conversion circuit by making voltage almost equal to input voltage into output voltage Since it constituted so that it might depend on other power supplies for the load current when
10 there was output voltage change which exceeds the operating point of a comparator with the comparator (comparator) which gave offset for output voltage intentionally as compared with input voltage While being able to reduce the consumed electric current of an impedance-conversion circuit, the flattery nature of the output voltage to input voltage can be improved.

15

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

20 [Drawing 1] It is the block diagram of the constant-voltage generating circuit concerning one example of this invention.

[Drawing 2] It is the block diagram showing the 1st example of the composition of drawing 1 .

[Drawing 3] It is the block diagram showing the 2nd example of the composition of
25 drawing 1 .

[Drawing 4] It is the block diagram showing the 3rd example of the composition of drawing 1 .

[Drawing 5] It is the block diagram showing the 4th example of the composition of drawing 1 .

[Drawing 6] It is the block diagram of the constant-voltage generating circuit concerning the 2nd example of this invention.

- 5 [Drawing 7] It is the block diagram of the constant-voltage generating circuit concerning the 3rd example of this invention.

[Drawing 8] It is the block diagram showing the example of the composition of drawing 7 .

- 10 [Drawing 9] It is a timing chart for explaining operation at the time of applying this invention to the power supply for a liquid crystal drive of drawing 22 .

[Drawing 10] It is a block diagram at the time of applying this invention to the source of a constant voltage.

[Drawing 11] It is the block diagram of the example from which this invention differs further.

- 15 [Drawing 12] It is the block diagram showing the example of drawing 11 .

[Drawing 13] It is the circuit diagram showing an example of a partial pressure circuit.

[Drawing 14] It is the block diagram of the example from which this invention differs further.

[Drawing 15] It is the block diagram of the deformation example of drawing 14 .

- 20 [Drawing 16] It is the block diagram of the example from which this invention differs further.

[Drawing 17] It is the block diagram of the example from which this invention differs further.

- 25 [Drawing 18] It is the block diagram of the example from which this invention differs further.

[Drawing 19] It is the block diagram of the conventional constant-voltage generating circuit.

[Drawing 20] It is the circuit diagram showing the example of of P top MOS type operational amplifier.

[Drawing 21] It is the circuit diagram showing other examples of of N top MOS type operational amplifier.

- 5 [Drawing 22] It is the block diagram showing the example of the well-known power supply for a liquid crystal drive.

[Drawing 23] It is the circuit diagram showing the example of the reference supply circuit in the composition of drawing 22 .

- 10 [Drawing 24] It is a timing chart for explaining operation of the power supply for a liquid crystal drive of drawing 22 .

[Drawing 25] It is the symbol view of a comparator.

[Drawing 26] It is the circuit diagram showing an example of a comparator.

[Drawing 27] It is the circuit diagram showing other examples of a comparator.

[Description of Notations]

- 15 1 Impedance-Conversion Circuit
2, 4, 11, 12, 14,104 Operational amplifier
3 13 Switch
5, 10, 17, 18 MOS transistor
6 Constant Current Source
20 7 Resistance
9 Output Line
15 Noninverting Amplifier
16 Voltage Stabilizer
100 Drive Circuit
25 101 External End-Connection Child
102 Output Section
103 Wiring

105 Partial Pressure Circuit

106 Reference Supply Circuit

109 Operational Amplifier Circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 1 6 1 5 7 0

(43) 公開日 平成 6 年 (1994) 6 月 7 日

(51) Int. Cl. ⁵

G05F 1/10

1/618

識別記号

310

庁内整理番号

B 4237-5H

4237-5H

F I

技術表示箇所

審査請求 未請求 請求項の数 16 (全 17 頁)

(21) 出願番号 特願平 4 - 3 1 0 5 4 4

(22) 出願日 平成 4 年 (1992) 11 月 19 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町 7 2 番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町 2 5 番地 1

(72) 発明者 茂 木 宏 之

神奈川県川崎市川崎区駅前本町 2 5 番地 1

東芝マイクロエレクトロニクス株式会社

内

(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

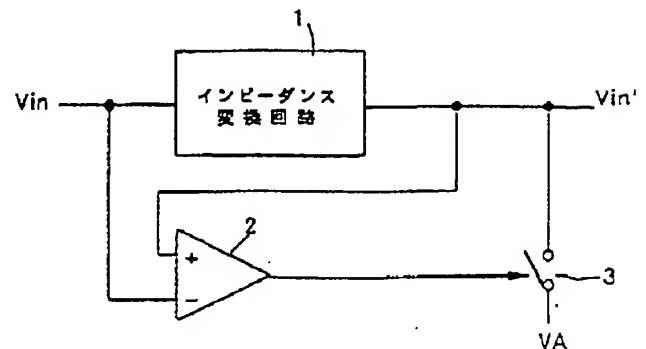
(54) 【発明の名称】 定電圧発生回路及びそれを用いた半導体集積回路装置

(57) 【要約】

【目的】 容量性負荷に、電流駆動能力の大きな定電圧を供給するに当たって、インピーダンス変換部の演算増幅器等の定常時の消費電流を低減する。

【構成】 入力電圧 V_{in} をインピーダンス変換して電圧 $V_{in'}$ として出力するインピーダンス変換回路 1 と、電圧 $V_{in'}$ を入力電圧 V_{in} とオフセットを持って比較する演算増幅器 2 と、演算増幅器 2 の出力に基づいてインピーダンス変換回路 1 の出力に比較的低インピーダンスの電源の電圧 V_A を接続するスイッチ 3 を備え、入力電圧 V_{in} に対して電圧 $V_{in'}$ が演算増幅器 2 のオフセットを超えて変化した場合に、スイッチ 3 を通じてインピーダンス変換回路 1 の出力に比較的低インピーダンスの電源の電圧 V_A を接続することにより、電圧 $V_{in'}$ を元の電圧に復帰させる。

一実施例



【特許請求の範囲】

【請求項 1】第 1 の基準電圧をインピーダンス変換して、その第 1 の基準電圧と等しい電圧の第 2 の基準電圧を出力する、インピーダンス変換回路と、

前記第 1 及び第 2 の 2 つの基準電圧が直接入力され、これらの 2 つの基準電圧の差が、予め定めたオフセット電圧よりも大きい第 1 の場合と小さい第 2 の場合によって出力を反転するコンパレータと、

前記インピーダンス変換回路の出力側と電源との間に接続され、制御端子が前記コンパレータの出力端に接続され、前記第 1 / 第 2 の場合にオン / オフするスイッチ手段と、を備えることを特徴とする、定電圧発生回路。

【請求項 2】第 1 の基準電圧をインピーダンス変換して、その第 1 の基準電圧と等しい電圧の第 2 の基準電圧を出力する、インピーダンス変換回路と、

前記第 2 及び第 3 の 2 つの基準電圧が直接入力され、これらの 2 つの基準電圧の大小によって出力を反転するオフセットを持たないコンパレータと、

前記インピーダンス変換回路の出力側と電源との間に接続され、制御端子が前記コンパレータの出力端に接続され、前記コンパレータの出力によってオン / オフするスイッチ手段と、を備えることを特徴とする、定電圧発生回路。

【請求項 3】第 1 の基準電圧をインピーダンス変換して、その第 1 の基準電圧と等しい電圧の第 2 の基準電圧を出力する、インピーダンス変換回路と、

前記第 2 及び第 3 の 2 つの基準電圧が直接入力され、これらの 2 つの基準電圧の大小によって出力を反転するオフセットを有するコンパレータと、

前記インピーダンス変換回路の出力側と電源との間に接続され、制御端子が前記コンパレータの出力端に接続され、前記コンパレータの出力によってオン / オフするスイッチ手段と、を備えることを特徴とする、定電圧発生回路。

【請求項 4】前記インピーダンス変換回路は、ボルテージフォロワ回路である、請求項 1 ~ 3 の 1 つに記載の定電圧発生回路。

【請求項 5】前記インピーダンス変換回路は、抵抗素子である、請求項 1 ~ 3 の 1 つに記載の定電圧発生回路。

【請求項 6】前記電源は定電流源である、請求項 1 ~ 5 の 1 つに記載の定電圧発生回路。

【請求項 7】前記コンパレータ及び前記スイッチ手段は、MOS 型電界効果型トランジスタを有するものとして構成されている、請求項 1 ~ 6 の 1 つに記載の定電圧発生回路。

【請求項 8】前記コンパレータは、前記第 1 及び第 2 の基準電圧がゲート端子に加えられる第 1 及び第 2 の入力トランジスタを有し、これらの第 1 及び第 2 の入力トランジスタにおけるゲート幅及びゲート長に偏差をもたせることにより、前記オフセット電圧が決められている、

請求項 1 ~ 7 の 1 つに記載の定電圧発生回路。

【請求項 9】第 4 の基準電圧を任意倍して前記第 1 の基準電圧を生成する電圧増幅回路をさらに備える、請求項 1 ~ 8 の 1 つに記載の定電圧発生回路。

【請求項 10】請求項 1 ~ 9 のいずれかに記載の定電圧発生回路を液晶パネル駆動用電源回路の一部として用いた、半導体集積回路装置。

【請求項 11】第 1 の基準電圧をインピーダンス変換して、その第 1 の基準電圧と等しい電圧の第 2 の基準電圧を出力する、インピーダンス変換回路と、

第 2 の基準電圧をソースに、第 1 の基準電圧をゲートに、ドレインを電源にそれぞれ接続した、第 1 導電型の電界効果型トランジスタと、を備えることを特徴とする、定電圧発生回路。

【請求項 12】前記インピーダンス変換回路は、ボルテージフォロワ回路である、請求項 11 記載の定電圧発生回路。

【請求項 13】前記インピーダンス変換回路は、抵抗素子である、請求項 11 又は 12 記載の定電圧発生回路。

【請求項 14】前記電源は定電流源である、請求項 11 ~ 13 の 1 つに記載の定電圧発生回路。

【請求項 15】第 4 の基準電圧を任意倍して前記第 1 の基準電圧を生成する電圧増幅回路をさらに備える、請求項 11 ~ 14 の 1 つに記載の定電圧発生回路。

【請求項 16】請求項 11 ~ 15 のいずれかに記載の定電圧発生回路を液晶パネル駆動用電源回路の一部として用いた、半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、定電圧発生回路及びそれをを用いた半導体集積回路装置に関し、特に、液晶パネル等を駆動するドライバ回路に用いて好適な定電圧発生回路及び半導体集積回路装置に関する。

【0002】

【従来の技術】図 19 は、従来の定電圧発生回路の概略図である。図 19 に示すように、定電圧回路 16 は、演算増幅器 12 をインピーダンス変換部として備える。さらに、高電位電源 VDD と低電位接地 GND の間を 2 つの抵抗 RA、RB により抵抗分割し、基準となる電位 VB を発生している。抵抗 RA、RB により作られた電位 VB は、ボルテージフォロア型と呼ばれる演算増幅器 12 の正入力端子に入力される。演算増幅器 12 は、その負入力端子に、自己の出力電圧 VB' を負帰還している。

【0003】以上のような構成によれば、電位 VB は、演算増幅器 12 でインピーダンス変換され、全く同じ電圧のまま出力電圧 VB' として図示しない他の回路に送出される。

【0004】以上のようにして得られた出力電圧 VB' を定電圧として他の回路に供給する場合、演算増幅器 1

2により低インピーダンス化が行われる。このため、抵抗分割だけでは得られない大きな電流駆動能力を実現することができる。

【0005】液晶パネルの駆動電源装置等においては、上記のような定電圧発生回路を多数並べて容量性の負荷となる液晶パネルを駆動することになる。

【0006】さて、図22は従来の液晶駆動用電源の回路ブロック図を示すものである。図22に示すように、液晶パネルのセグメント/コモン容量性負荷CSに電位を供給するために、駆動回路100と、各負荷CSに対応して設けられた複数の出力部102とを有する。駆動回路100は分圧回路105と演算増幅器回路109を有する。演算増幅器回路109は複数の演算増幅器104を有する。分圧回路105は、抵抗R1~R6により液晶用高電位VDDと液晶用低電位VEEを分圧し、電位V1~V5を発生する。各電位V1~V5は、演算増幅器回路109の複数の演算増幅器104に供給されている。演算増幅器104は、入力された電位V1~V5をそれと同電位の電位V1'~V5'として電源配線103に送り出す。電源配線103は液晶用高電位VDDと電位V1'~V5'を供給するものである。電位V1'~V5'が表れる配線103には容量C1~C5が接続されている。選択信号S0~S5に基づき、トランスファークラーク108で選択された液晶用高電位VDDおよび電位V1'~V5'のいずれかが液晶用高電位VDD'、出力電圧V1'、V2'、V3'、V4'、V5'として、外部接続端子101を介して、セグメント/コモン容量性負荷CSに供給される。演算増幅器104には演算増幅器用基準電源回路106から電圧VNまたはVPのいずれかが供給されている。

【0007】図23は図22における演算増幅器用基準電源回路106の具体的な構成例を示す回路図である。同図に示すように、液晶用高電位VDDと液晶用低電位VEEとの間には、P型MOSトランジスタ17と抵抗RCとN型MOSトランジスタ18とが直列に接続されているが、P型MOSトランジスタ17及びN型MOSトランジスタ18はそれぞれ、ドレインとゲートが接続されている。そして、抵抗RCの両端から電圧VP並びに電圧VNが導出される。

【0008】図20は図22における演算増幅器104の具体的な構成例を示す回路図であり、特にPトップ型の回路を例示するものである。同図に示すように、電圧VPは、P型MOSトランジスタ30のゲートとP型MOSトランジスタ35のゲートに供給されている。電圧V5は、P型MOSトランジスタ31のゲートに供給される。P型MOSトランジスタ30、35のソースは液晶用高電位VDDに接続される。また、P型MOSトランジスタ30のドレインはP型MOSトランジスタ31、32のソースに接続される。N型MOSトランジスタ33、34、36のソースは液晶用低電位VEEに接

続される。N型MOSトランジスタ33、34のゲートは、共通接続され、P型MOSトランジスタ32のドレインとN型MOSトランジスタ34のドレインとの接続点に接続される。P型MOSトランジスタ31とN型MOSトランジスタ33は、ドレイン同士が接続され、その接続点はN型MOSトランジスタ36のゲートに接続される。P型MOSトランジスタ35のドレインとN型MOSトランジスタ36のドレインは互いに接続され、その接続点からは出力電圧V5'が出力される。この出力電圧V5'は、P型MOSトランジスタ32のゲートにフィードバックされる。P型MOSトランジスタ32のゲートとN型MOSトランジスタ36のゲートの間にはこの演算増幅器の発振防止用の為の位相補償用コンデンサCPが接続される。なお、このコンデンサはなくともよい。

【0009】図21は図22の構成における演算増幅器104の他の例を示す回路図であり、特にNトップ型の回路を例示するものである。同図に示すように、電圧VNは、N型MOSトランジスタ70のゲートとN型MOSトランジスタ75のゲートに供給される。電圧V1はN型MOSトランジスタ71のゲートに供給される。N型MOSトランジスタ70、75のソースは液晶用低電位VEEに接続される。N型MOSトランジスタ70のドレインはN型MOSトランジスタ71、72のソースに接続される。P型MOSトランジスタ73、74、76のソースは液晶用高電位VDDに接続される。P型MOSトランジスタ73、74のゲートは、共通接続され、N型MOSトランジスタ72のドレインとP型MOSトランジスタ74のドレインの接続点に接続される。N型MOSトランジスタ71のドレインとP型MOSトランジスタ73のドレインが接続され、その接続点はP型MOSトランジスタ76のゲートに接続される。N型MOSトランジスタ75のドレインとP型MOSトランジスタ76のドレインは接続され、その接続点からは出力電圧V1'が出力される。この出力電圧V1'は、N型MOSトランジスタ72のゲートにフィードバックされる。N型MOSトランジスタ72のゲートとP型MOSトランジスタ76のゲートの間にはこの演算増幅器の発振防止用の為の位相補償用としてコンデンサCNが接続される。

【0010】演算増幅器104として図20の回路を用いるか、図21の回路を用いるかは、入力される電位V1、V2、V3、V4、V5と増幅器の特性による。そして、演算増幅器回路109中には、演算増幅器104として図20のものおよび図21のものが混載される。

【0011】以上述べたような構成において、駆動回路100中の分圧回路105では、液晶用高電位VDDと液晶用低電位VEEとの間に、直列に抵抗R1~R6の抵抗を設け、液晶用高電位VDDと液晶用低電位VEEの間を抵抗分割することにより電位V1~V5を得てい

る。これらの電圧 $V1 \sim V5$ のそれぞれは各演算増幅器104に入力される。演算増幅器104は、図20および図21に示すように、それぞれの出力を一端子にフィードバックするように構成されるボルテージフォロア型として一般に知られている構成を有する。つまり、入力された電位 $V1 \sim V5$ を全く同じ電圧の電位 $V1' \sim V5'$ のままインピーダンス変換して電源配線103に供給する。電位 $V1 \sim V5$ と電位 $V1' \sim V5'$ は、電圧は同じであるが、電流供給能力が異なる。つまり、電位 $V1 \sim V5$ の電流供給能力は分圧回路105を構成する抵抗 $R1 \sim R6$ の抵抗値によって決定される。これに対して、後者は、電位 $V1' \sim V5'$ の電流供給能力は演算増幅器104の電流供給能力によって決定されるので、より多くの出力電流がとれる。その結果、演算増幅器104の出力電流を受ける電源配線103および出力部102は、外部のセグメント/コモン容量性負荷CSへの負荷駆動能力が大きくなる。液晶用高電位VDDおよび得られた電位 $V1' \sim V5'$ は、出力部102中において選択信号 $S0 \sim S5$ に基づいて選択され、外部接続端子101を通じて、セグメント/コモン容量性負荷CSに供給される。これにより、負荷CSは充放電して、所定の電圧となる。

【0012】図24は図22の構成の動作を説明するためのタイミングチャートである。同図において、(A)は選択信号 $S1$ 、(B)は選択信号 $S4$ 、(C)は選択信号 $S5$ 、(D)は演算増幅器104に流れる演算増幅部電流IOP、(E)は出力部102の外部接続端子101からセグメント/コモン容量性負荷CSに与えられる電圧をそれぞれ示す。

【0013】図24にも示すように、選択信号 $S1$ 、 $S4$ 、 $S5$ が逐次入力された場合、図22の外部接続端子101には、各選択信号 $S1$ 、 $S4$ 、 $S5$ に対応して、電位 $V1''$ 、 $V4''$ 、 $V5''$ 、 $V1''$ が順次出力される。この時、外部接続端子101に接続されたセグメント/コモン容量性負荷CSが、これらの電位に充放電される。この場合、図22における演算増幅器104には、演算増幅部電流IOPが、一定の大きさに流れている。その結果、液晶パネルを構成する負荷であるセグメント/コモン容量性負荷CSが駆動される。

【0014】

【発明が解決しようとする課題】従来の液晶駆動用電源は上記のように構成されているので、以下のように消費電力が大きいという難点がある。例えば、図24からわかるように、演算増幅器104(1)からの出力 $V1'$ に基づいて、選択信号 $S1$ によりトランスファークラップ108(1)を介して、選択外部接続端子101からセグメント/コモン容量性負荷CSに電圧 $V1''$ が出力されるとする。次に、選択信号 $S4$ により、時間 Tf 後に、他の演算増幅器104(4)からの出力 $V4'$ に基づく出力 $V4''$ が出力されるとする。これとほぼ同様

に、出力 $V5''$ から出力 $V1''$ に、時間 Tr 後に変化するとする。これらの時間 Tf 、 Tr 中は演算増幅部電流IOPは負荷を駆動する為に流れ続ける必要があるが逆に、電圧電位 $V4'$ 等の電圧が変化せず同じ電圧値の出力を出力し続ける間の時間 Ts も演算増幅部電流IOPが流れ続ける。これらの必要ない間に流れるこの電流は無視できない程度に大きく、消費電力増大の原因となっている。一方、大型の液晶パネル等の場合は、セグメント/コモン容量性負荷CSの数や容量が増える。このために、時間 Tf や時間 Tr が長くなり、時間 Tf や時間 Tr を短くする必要がある。このためには演算増幅器104に定常的に流れる電流である、演算増幅部電流IOPを大きくせざるを得ず、更に消費電力を増大させる結果となる。

【0015】一方、分圧回路105の出力である電位 $V1 \sim V5$ を電位 $V1' \sim V5'$ に直結し、演算増幅部電流IOPを必要とする演算増幅器104を無くし、電流低減を計る方法も考えられる。つまり、抵抗 $R1 \sim R6$ の抵抗値を小さくすることにより、電位 $V1 \sim V5$ の出力インピーダンスを低く下げて、セグメント/コモン容量性負荷CSに供給される出力電流を大きくすることもできる。しかし、半導体集積回路の場合は、抵抗 $R1 \sim R6$ をあまり小さくすると製造上のばらつきが大きくなり、更に抵抗 $R1 \sim R6$ を薄いP型ないしN型拡散抵抗層等で作った場合は、半導体基板による基板変調効果等を受ける。このため、例えば、抵抗 $R1$ が期待値通りになっても、抵抗 $R6$ は異常に大きな値になってしまったりするという問題がある。つまり、抵抗値の管理を適正に行って、電位 $V1 \sim V5$ の精度を適正に維持するのが難しい。これを除くには、抵抗 $R1 \sim R6$ の抵抗値を大きくし、製造上のバラツキを抑えればよい。しかしこのようにすると、駆動能力が小さくなってしまふのは避けられない。このため、抵抗値が大きくなってよいのは、電流値と、 $V1 \sim V5$ の電位精度とをそれほど必要としない、小型の時計表示用液晶パネルの駆動用の用途以外は現実的な選択とは言えない。このため、大きな負荷容量を持ち、大きな駆動能力を必要とする、大型の液晶パネルにおいては、インピーダンス変換用の演算増幅器104が不可欠である。

【0016】演算増幅器では図20、図21に示したように、Pトップ型とNトップ型がある。

【0017】特に、Nトップ型の演算増幅器ではトランジスタ70、75は定電流化されており、出力電圧 $V1'$ が大きく高めに変動すると、トランジスタ75が定電流化されているため、速やかに出力電圧 $V1'$ を引き下げることができない。出力電圧 $V1'$ を早く引き下げるためには、負荷駆動部であるトランジスタ75にある程度の大きさを持ったものを用いる必要があり、必然的に流れる定電流も大きくなってしまふ。このため、出力電圧 $V1'$ が入力電圧 $V1$ と等しい電圧を出力している

時でも、トランジスタ 7 5 には大きな電流が流れ、大きな電流を消費してしまうことになる。

【0018】また、Pトップ型の演算増幅器ではトランジスタ 3 0、3 5 は定電流化されており、出力電圧 $V_{5'}$ が大きく低めに変動すると、トランジスタ 3 5 が定電流化されているため、速やかに出力電圧 $V_{5'}$ を引き上げることができない。出力電圧 $V_{5'}$ を早く引き上げるためには、負荷駆動部であるトランジスタ 3 5 にある程度の大きさを持ったものを用いる必要があり、必然的に流れる定電流も大きくなってしまふ。このため、出力電圧 $V_{5'}$ が入力電圧 V_5 と等しい電圧を出力している時でも、トランジスタ 3 5 には大きな電流が流れ、大きな電流を消費してしまうことになる。

【0019】液晶パネル等において、液晶に対する光の透過（点灯）および光の非透過（非点灯）を決める 2 つの電極であるセグメント／コモンは、この負荷を駆動する半導体回路側から見れば容量成分である。そして、液晶パネルはますます大型化し、それらに使用される液晶電圧や液晶パネルのセグメント／コモン等もパネルの大型化によって増大している。液晶パネルを表示させるのに必要な消費電流は $f \cdot C \cdot V$ （周波数 X 容量値 X 電圧）に依存する。このため、液晶パネルの大型化に伴って用いるべき電圧と容量が大きくなるに従ってますます消費電流の増大を招く。

【0020】近年、大きな液晶パネルを持ったパーソナルコンピュータやワードプロセッサ等が小型化されブック型となってきている。これにより、どこにでも持ち運べる便利さがあるものの、電池寿命が短いという問題がある。つまり、液晶パネルの消費電力の低減に対する要求が大きい。

【0021】以上のような要求に対して、図 1 9 に示すような定電圧発生回路を、図 2 0、図 2 1 に示すような演算増幅器を用いて構成した場合、図 2 0 のトランジスタ 3 5、あるいは図 2 1 のトランジスタ 7 5 等の出力部が定電流源のために、図 1 9 の構成において分割電位 V_B と出力電圧 $V_{B'}$ が等しい電圧であったとしても常時大きな駆動能力を有し、定電流を流し続け、消費電力の増大を招くという欠点がある。

【0022】この発明の目的は、上記従来技術の問題点を解決しようとするもので、大型化し且つ駆動電圧が高電圧化しつつある液晶パネル等の容量性負荷に、駆動能力の大きな定電圧を供給するに当たっても消費電流を低減することを可能とした定電圧発生回路及び半導体集積回路装置を提供することにある。

【0023】

【課題を解決するための手段】本発明の定電圧発生回路は、第 1 の基準電圧をインピーダンス変換して、その第 1 の基準電圧と等しい電圧の第 2 の基準電圧を出力する、インピーダンス変換回路と、前記第 1 及び第 2 の 2 つの基準電圧が直接入力され、これらの 2 つの基準電圧

の差が、予め定めたオフセット電圧よりも大きい第 1 の場合と小さい第 2 の場合によって出力を反転するコンパレータと、前記インピーダンス変換回路の出力側と電源との間に接続され、制御端子が前記コンパレータの出力側に接続され、前記第 1 / 第 2 の場合にオン／オフするスイッチ手段と、を備えるものとして構成される。

【0024】

【作用】第 1 の基準電圧に対して第 2 の基準電圧が、コンパレータのオフセット電圧を超えて変化した場合に、スイッチ手段を通じて、インピーダンス変換回路の出力側に、例えば、比較的低インピーダンスの電源が接続される。これにより、第 2 の基準電圧が、第 1 の基準電圧に復帰させられる。

【0025】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

【0026】図 1 は本発明の一実施例に係る定電圧発生回路装置のブロック図である。図 1 に示すように、入力電圧 V_{in} は、インピーダンス変換回路 1 を介し、入力電圧 V_{in} と同電圧でインピーダンス変換された電圧 $V_{in'}$ として出力される。インピーダンス変換回路 1 の出力は、コンパレータとして動作する演算増幅器 2 の正入力端子に与えられる。入力電圧 V_{in} は、演算増幅器 2 の負入力端子に与えられる。演算増幅器 2 には故意にオフセットを持たせてある。つまり、演算増幅器 2 は、正入力端子の電圧と負入力端子の電圧とを比較する。両電圧差がオフセット分の電圧差になるポイントを動作点として出力を反転し、スイッチ 3 をオン／オフ制御する。スイッチ 3 は、インピーダンス変換回路 1 の出力電圧 $V_{in'}$ と電圧 V_A なる電源との間の断続動作を行う。ちなみに、電圧 V_A は低インピーダンスで供給される。

【0027】以上述べたような構成において、次にその動作を説明する。

【0028】演算増幅器 2 には故意にオフセットを持たせてある。この理由は、入力電圧 V_{in} と電圧 $V_{in'}$ とを比較するに当たって、特定の不感幅を持たせる為である。演算増幅器 2 は、正入力端子の入力電圧 $V_{in'}$ と負入力端子の入力電圧 V_{in} との間にオフセット電圧以上の電圧差が生じた場合、この動作点を境に比較動作を行い、スイッチ 3 をオンさせる。スイッチ 3 がオンすると、インピーダンス変換回路 1 の出力に電圧 V_A が加えられ、インピーダンス変換回路 1 の出力電圧 $V_{in'}$ を電圧 V_A 側に引き込む。

【0029】インピーダンス変換回路 1 は、入力電圧 V_{in} をインピーダンス変換した電圧 $V_{in'}$ として負荷に供給される。インピーダンス変換回路 1 は、その消費電流を低減するために、出力インピーダンスはそれほど低くは設定されていない。このため、負荷が過大な電流を要求すると、電圧 $V_{in'}$ はおのずと低下してしま

う。この電圧低下が演算増幅器2に持たせたオフセットを超えると、演算増幅器2は比較動作に基づきスイッチ3をオンさせる。その結果、電圧 $V_{in'}$ に電源VAが直結され、低下した電圧を速やかに回復させる。

【0030】以上のようにして、電流増大による電圧 $V_{in'}$ の低下が抑止される。電圧 $V_{in'}$ が回復すると、これは演算増幅器2により検出される。これに応じて、演算増幅器2は、スイッチ3をオフして、電圧 $V_{in'}$ から電圧VAを切り離す。その結果、電圧 $V_{in'}$ は、負荷変動にかかわらず一定の電圧を保持することができ、電圧 $V_{in'}$ の供給される負荷の正常な動作が確保される。

【0031】インピーダンス変換回路1の出力に大きな駆動能力をもたせる必要がない。このため、インピーダンス変換回路1の低消費電力化が可能である。負荷が大きな電流を必要とする場合には、インピーダンス変換回路1の出力電圧 $V_{in'}$ が低下する。演算増幅器2は、この電圧低下がオフセット分を超えると動作し、スイッチ3をオンする。これに応じて、電圧 $V_{in'}$ に低インピーダンスの電圧VAが接続され、この電圧VA側から負荷に必要な電流が供給されることになる。

【0032】ちなみに、演算増幅器2に持たせるオフセットは、入力電圧 V_{in} と電圧 $V_{in'}$ が非常に近い電圧の場合に、ノイズ等による誤動作を防ぐ為の不感電圧幅に設定される。

【0033】図25は演算増幅器2をコンパレータとして用いた場合のシンボルを示している。図25に示すように、演算増幅器2は、+入力が-入力を上回った場合に、出力outが反転するような動作をする。このシンボルに対応して、図26にPトップタイプのMOS型コンパレータの回路図を示し、図27にNトップタイプのMOS型コンパレータの回路図を示す。

【0034】図26において、トランジスタ31のゲート入力が+入力となっており、トランジスタ32のゲート入力が-入力となっている。トランジスタ30、31、32、33、34は比較部を構成している。比較結果はトランジスタ35、36の接続点(ドレイン)から

$$VG31 < VG32 = VG31 + \Delta VGOFF \quad \dots (1)$$

(ただし、 $\Delta VGOFF$ はコンパレータとしての入力端子間の所望のオフセット電圧)になった時にトランジスタ31、32のオン抵抗および流れる電流が等しくなり、コンパレータの出力信号が正転もしくは反転する分岐点、つまり比較結果の動作点となる。よって、トラン

$$VG31 < VG32 - \Delta VGOFF \quad \dots (2)$$

が与えられた時、つまり

$$VG32 - VG31 > \Delta VGOFF \quad \dots (2')$$

となった場合に、コンパレータの-入力端子に、+入力端子よりも所定のオフセット電圧 $\Delta VGOFF$ 分より大きな電圧が与えられたことになり、出力outにはロウ

$$VG31 > VG32 - \Delta VGOFF \quad \dots (3)$$

出力outとして導出される。

【0035】以上のように、通常、コンパレータには、図26のように、出力結果を導出する出力部を持たせる場合が多い。この比較部のトランジスタ31、32およびトランジスタ33、34は、半導体回路として作る場合、そのトランジスタサイズを示す W/L (ゲート幅/ゲート長)が同じとなるように作る。本来、コンパレータの目的は、トランジスタ31のゲートに入力されるプラス電圧とトランジスタ32のゲートに入力される電圧との差を精度良く比較することにある。その比較の精度、つまり2つの入力端子間の感度差は通常1mV以下である。

【0036】しかし、図1に示す演算増幅器2には、コンパレータとして動作させるに当たり、故意にオフセットを持たせてある。このオフセットを持たせる方法としては、幾通りかの方法がある。この点について、図26の回路に基づいて説明する。

【0037】オフセットを持たせる為の方法の1つとしては、トランジスタ31、32の W/L に差を設ける方法と、トランジスタ31、33とトランジスタ32、34とで調整する方法等がある。オフセット電圧の調整の容易なのは、トランジスタ31、32の W/L に差を設ける方法である。特に、ゲート長 L を同じにしたままゲート幅 W に差を設ける方法が有効である。

【0038】今、仮に、トランジスタ31の $W/L=100$ 、トランジスタ32の $W/L=80$ として、トランジスタ31のゲート幅をトランジスタ32のゲート幅よりも大きくした場合を考える。この場合、トランジスタ31、32に等しい電流を流すには、ゲート電圧32をゲート電圧31よりも高くする必要がある。言い換えると、ゲート入力電圧 $VG31$ よりも高いゲート入力電圧 $VG32$ を与えないとトランジスタ32のオン抵抗はトランジスタ31のオン抵抗と等しくならない。

【0039】そして、トランジスタ31のゲート入力電圧 $VG31$ とトランジスタ32のゲート入力電圧 $VG32$ との関係が、

ジスタ31、32の W/L を変えることにより、コンパレータに入る入力電圧に $\Delta VGOFF$ なるオフセットを持たせることができる。

【0040】そして、トランジスタ32の W/L をトランジスタ31の W/L よりも小さくすることにより、

レベル(GNDレベル)の信号が出力される。

【0041】逆に、コンパレータの-入力端子に+入力端子と比較して

が与えられた時、つまり

$$VG32 - VG31 < \Delta VGOFF$$

... (3')

となった場合は、コンパレータの-入力端子の電圧に対して、+入力端子の電圧は、所定のオフセット電圧 $\Delta VGOFF$ 分より大きな電圧差を有しない。このため、出力outにはハイレベル(VDDレベル)の信号が出力される。

【0042】逆に、トランジスタ31の $W/L=80$ 、トランジスタ32の $W/L=100$ として、トランジスタ31のゲート幅をトランジスタ32のゲート幅よりも小さくした場合、オフセット電圧の持たせ方を変えるこ

$$VG31 - \Delta VGOFF > VG32$$

... (4)

すなわち、

$$VG31 > VG32 - \Delta VGOFF$$

... (4')

となり、+入力端子の入力電圧の上昇に伴って、+入力端子の入力電圧が、-入力端子の入力電圧より、オフセット $\Delta VGOFF$ 電圧分より大きくなった場合に、その

$$VG31 - \Delta VGOFF < VG32$$

... (5)

すなわち、

$$VG31 < VG32 - \Delta VGOFF$$

... (5')

となり、+入力端子の入力電圧が、-入力端子の入力電圧より、オフセット $\Delta VGOFF$ 電圧分よりは大きくならなかった場合は、その比較出力outはロウレベル(GNDレベル)となる。

【0045】すなわち、トランジスタ31、32のいずれかの W/L を他方の W/L よりも大きくすることにより、オフセット電圧の設定を行うことができる。つまり、トランジスタ31を基準に考えた場合について説明する。トランジスタ31の W/L よりもトランジスタ32の W/L が小さいとする。この場合、このコンパレータが比較動作して出力outのハイ/ロウが切り替わる電圧は、-入力端子側にオフセット $\Delta VGOFF$ 分の電圧が必要である。これに対して、トランジスタ31の W/L よりもトランジスタ32の W/L が大きい場合は、比較動作する電圧は、-入力端子側でオフセット分 $\Delta VGOFF$ の電圧だけ低くてよいことになる。

【0046】以上のことは、トランジスタ32を基準に考えた場合には、反対になる。トランジスタ32の W/L よりもトランジスタ31の W/L が小さいとする。この場合、このコンパレータが比較動作し、出力outのハイ/ロウが切り替わる電圧は、+入力端子側はオフセ

$$VG71 < VG72 - \Delta VGOFF$$

... (6)

つまり

$$VG72 - VG71 > \Delta VGOFF$$

... (6')

となるように、-入力端子側に、+入力端子側よりも、少なくともオフセット電圧 $\Delta VGOFF$ だけ大きな電圧が印加されると、出力outはロウレベル(GNDレベル)となる。

$$VG71 > VG72 - \Delta VGOFF$$

... (7)

つまり

とができる。このときには、トランジスタ31の W/L がトランジスタ32の W/L よりも小さい。このため、トランジスタ31にトランジスタ32と同じ電流、つまり同じオン抵抗を与えようとする、トランジスタ31には、ゲート入力電圧 $VG31$ に更に追加の電圧、すなわちオフセット電圧 $\Delta VGOFF$ を加える必要がある。

【0043】従って、トランジスタ31の W/L がトランジスタ32の W/L よりも小さい場合、

比較出力outはハイレベル(VDDレベル)となる。

【0044】一方、

ット $\Delta VGOFF$ 分高い電圧が必要で、これに対して、トランジスタ32の W/L よりもトランジスタ31の W/L が大きい場合は、比較動作する電圧は+入力端子側でオフセット分 $\Delta VGOFF$ の低い電圧でよい。

【0047】ちなみに、トランジスタ31、32の W/L の大小を入れ替えても、-入力端子、+入力端子の意味や、出力の極性は変わらず、コンパレータとしての比較動作点が変わるだけである。

【0048】図27においては、トランジスタ71のゲート入力が入力となっており、トランジスタ72のゲート入力が入力となっている。トランジスタ70、71、72、73、74は比較部を構成する。比較結果はトランジスタ75、76のドレインから出力outとして導出される。

【0049】このようなNトップタイプにおいても、トランジスタ71の W/L を、トランジスタ72の W/L よりも大きくすることにより、動作点に対する2つの入力端子間の電圧にオフセットを持たせることができる。

【0050】すなわち、トランジスタ71のゲート入力電圧 $VG71$ とトランジスタ72のゲート入力電圧 $VG72$ の関係において、

【0051】一方、-入力端子側の電圧と+入力端子側の電圧差が、オフセット電圧 $\Delta VGOFF$ より小さい場合、

13

$$VG72 - VG71 < \Delta VGOFF$$

であり、出力outはハイレベル(VDDレベル)となる。

【0052】逆に、トランジスタ71のW/Lを、トランジスタ72のW/Lよりも小さくした場合、つまりトランジスタ72のW/Lをトランジスタ71のW/Lより

$$VG71 - \Delta VGOFF > VG72$$

つまり

$$VG71 - VG72 > \Delta VGOFF$$

となると、出力outはハイレベル(VDDレベル)となる。

【0053】一方、トランジスタ71に与えられるゲ-

$$VG71 - \Delta VGOFF < VG72$$

つまり

$$VG72 - VG71 < \Delta VGOFF$$

であり、出力outはロウレベル(GNDレベル)となる。

【0054】すなわち、トランジスタ71、72のいずれか一方のW/Lを他方のW/Lよりも大きくすることにより、オフセット電圧の発生を設定することができる。トランジスタ71を基準に考えれば次の通りである。つまり、トランジスタ71のW/Lよりもトランジスタ72のW/Lが小さいとする。この場合、このコンパレータが比較動作して出力outのハイとロウが切り替わる電圧は、-入力端子側にオフセット $\Delta VGOFF$ 分の電圧差が必要である。これに対して、トランジスタ72のW/Lがトランジスタ71のW/Lよりも大きいとする。この場合、このコンパレータが比較動作して出力outのハイとロウが切り替わる電圧は、-入力端子側の入力電圧はオフセット $\Delta VGOFF$ 分の電圧差だけ低くてもよいことになる。

【0055】逆に、トランジスタ72を基準にすれば全く反対のことが言える。すなわち、トランジスタ71のW/Lよりもトランジスタ72のW/Lが大きいとする。この場合、このコンパレータが比較動作して出力outのハイとロウが切り替わる電圧は、+入力端子側はオフセット $\Delta VGOFF$ 分の電圧差だけ低くてもよい。トランジスタ71のW/Lがトランジスタ72のW/Lよりも小さいとする。この場合、このコンパレータが比較動作して出力outのハイとロウが切り替わる電圧は、+入力端子側の入力電圧としてオフセット $\Delta VGOFF$ 分の電圧差が必要であるということになる。

【0056】以上のように、コンパレータの+入力端子と-入力端子との間にオフセット電圧を設けることにより、+入力端子の電圧と-入力端子の電圧との間にオフセット電圧よりも大きな電圧差が発生した場合に、コンパレータ動作させることができる。

【0057】図2は図1の構成の第1の具体例を示すものである。インピーダンス変換回路1としてボルテージ

14

$$\dots (7')$$

りも大きくした場合について考える。この場合には、トランジスタ71に与えられるゲート入力電圧VG71よりも、トランジスタ72に与えられるゲート入力電圧VG72が、少なくともオフセット電圧 $\Delta VGOFF$ より大きなものとして与えられると、つまり

$$\dots (8)$$

$$\dots (8')$$

ト入力電圧VG71が、トランジスタ72に与えられるゲート入力電圧VG72よりも、オフセット電圧 $\Delta VGOFF$ より大きくない場合、

$$\dots (9)$$

$$\dots (9')$$

チャンネルのMOS型トランジスタ5をそれぞれ用い、電圧VAとしてGND電圧を適用した構成を例示している。つまり、理論的にはGND電圧側においては出力インピーダンスをほとんど無視できる。なお、演算増幅器4としては図21に示すような、Nトップ型の構成が適用される。

【0058】図21からも明らかなように、演算増幅器4はボルテージフォロア型の構成を有する。その出力は、負帰還により、+入力端子の電圧をそのまま出力電圧として導出するような構成となっている。その結果、入力電圧Vinはインピーダンス変換された電圧Vin'として導出される。しかし、負荷から電流を引き込むに当たっての電流駆動能力には当然制限がある。その結果として、電圧Vin'に演算増幅器2のオフセット分以上の電圧上昇が生じた場合は、演算増幅器2がその出力を反転させ、MOS型トランジスタ5がオンする。MOS型トランジスタ5のオンに伴い、電圧Vin'はGND電圧側に下げられる。その間、負荷電流はGND側に流れる。このため、負荷から、インピーダンス変換回路1へ、過大な電流を引込む必要はない。つまり、インピーダンス変換回路1としては低消費電力型の構成が適用可能である。

【0059】図3は、図1の構成の第2の具体例を示すものである。図2の構成において、MOS型トランジスタ5に定電流源6を接続した構成を例示するものである。

【0060】図3において、入力電圧Vinは、演算増幅器4を通じて、インピーダンス変換された電圧Vin'として導出される。しかし、負荷から電流を引き込むに当たっての電流駆動能力には当然制限がある。その結果として、電圧Vin'に演算増幅器2のオフセット分以上の電圧上昇が生じた場合は、演算増幅器2がその出力を反転させ、MOS型トランジスタ5がオンする。MOS型トランジスタ5のオンに伴い、負荷電流は定電流源6側に流れる。このため、電圧Vin'は所定の電

圧に復帰する。その間、負荷電流は定電流源 6 側に流れるので、負荷からインピーダンス変換回路 1 への過大な電流の引込みは必要ない。つまり、インピーダンス変換回路 1 としては低消費電力型の構成が適用可能である。

【0061】図 4 は図 1 の構成の第 3 の具体例を示すものである。図 3 において、インピーダンス変換回路 1 に抵抗 7 を適用した構成を例示するものである。

【0062】図 4 において、入力電圧 V_{in} は、抵抗 7 を通じて、高インピーダンスの電圧 $V_{in'}$ として導出される。しかし、負荷から電流を引き込むに当たっての電流駆動能力は、入力電圧 V_{in} の出力インピーダンスおよび抵抗 7 のインピーダンスによって制限される。その結果、負荷電流を大きく取れないため、負荷が重くなると当然、出力電圧 $V_{in'}$ が上昇する。電圧 $V_{in'}$ が、演算増幅器 2 のオフセット分以上に電圧上昇した場合は、演算増幅器 2 がその出力を反転させ、MOS 型トランジスタ 5 がオンする。MOS 型トランジスタ 5 のオンに伴い、負荷電流は定電流源 6 側に流れる。このため、電圧 $V_{in'}$ は速やかに所定の電圧に復帰する。その間、負荷電流は定電流源 6 側に流れるので、負荷からインピーダンス変換回路 1 への過大な電流の引込みは必要ない。インピーダンス変換回路 1 としては、抵抗 7 が直列に入っているだけであるので、通常時の電力消費はほとんど無視できる。

【0063】図 5 は図 1 の構成の第 4 の具体例を示すものである。これは、図 2 において、演算増幅器 2 の + 入力端子と - 入力端子を入れ替えて演算増幅器 2 の出力条件を反転させ、且つ出力線 9 に接続したインバータ 8 により演算増幅器 2 の出力を反転して MOS 型トランジスタ 5 のゲートに与えるようにした構成を例示するものである。

【0064】図 5 において、演算増幅器 2 のオフセットは、電圧 $V_{in'}$ が入力電圧 V_{in} よりも所定電圧上回った時に動作点に達するよう設定される。その結果、通常状態で、演算増幅器 2 は正出力を行う。負荷電流の増大に伴って、電圧 $V_{in'}$ が上昇し、演算増幅器 2 のオフセット分の電圧差よりも入力電圧 V_{in} を上回ると、演算増幅器 2 は負出力を行うようになる。インバータ 8 は、演算増幅器 2 の出力線 9 上の信号を反転して MOS 型トランジスタ 5 のゲートに与える。このため、演算増幅器 2 が負出力を行うと、MOS 型トランジスタ 5 はオンする。これにより負荷電流を GND 側に引込み、インピーダンス変換回路 1 の出力電圧 $V_{in'}$ を GND 側に引き戻す。

【0065】図 2、3、5 において、演算増幅器 4 として図 21 に示すような、N トップ型の演算増幅器を用いた場合、トランジスタ 76 はトランジスタ 75 と相互に動作しあって出力電圧 V_1' を入力電圧 V_1 と等しくする。本来トランジスタ 76 は、駆動能力が高く、電圧 V_1' を高い電圧に引き上げる場合は十分に能力をもって

いることは言うまでもない。しかし、トランジスタ 75 は、定電流化されている。このため、電圧 V_1' の変動をより早く GND 電圧側に引っ張る能力には欠ける。

【0066】これに対して、図 2、3、5 では、電圧 $V_{in'}$ が高い電圧になった場合、これを速やかに引き下げるために、MOS 型トランジスタ 5 がオンして負荷電流を分担する。このため、例えば、図 21 では、トランジスタ 75 に通常流す定電流を小さくすることができる。つまり、トランジスタ 75 には、入力電圧 V_{in} と電圧 $V_{in'}$ とを同じに保持するために必要な、最小限の電流能力だけを持たせれば良い。このため、入力電圧 V_{in} と出力電圧 $V_{in'}$ とがほとんど等しい場合には、演算増幅器 4 において不要に大きな電流を流す必要がない。これにより、消費電流を大幅に低減することができるだけでなく、入力電圧 V_{in} の電圧 $V_{in'}$ への追従性を良くすることができる。

【0067】なお、上記実施例において、演算増幅器のオフセットの持たせ方については様々な方式があることについては先にも述べたとおりである。コンパレータに持たせるオフセットは、入力電圧 V_{in} に対する電圧 $V_{in'}$ の追従性や、その他の周辺回路の論理構成等により、任意に選択することができる。

【0068】図 6 は、本発明の第 2 の実施例に係る定電圧発生回路のブロック図である。図 6 は、図 1 における、インピーダンス変換回路 1 としてボルテージフォロア型の演算増幅器 4 を用い、スイッチ 3 として P チャネルの MOS 型トランジスタ 10 を用い、電圧 V_A として VDD 電圧を適用した例を示している。つまり、VDD 電圧側は非常に低い出力インピーダンスを有する。なお、演算増幅器 4 としては、図 20 に示すような、P トップ型の構成が適用される。

【0069】図 6 から明らかなように、演算増幅器 4 はボルテージフォロア型の構成を有し、その出力を負帰還することにより、+ 入力端子の電圧をそのまま出力電圧として導出する構成となっている。その結果、入力電圧 V_{in} はインピーダンス変換された電圧 $V_{in'}$ として導出されるが、負荷に電流を供給するに当たっての電流駆動能力には当然制限がある。その結果として、電圧 $V_{in'}$ が演算増幅器 11 のオフセット分以上に電圧低下した場合は、演算増幅器 11 がその出力を反転させ、MOS 型トランジスタ 10 がオンする。MOS 型トランジスタ 10 のオンに伴い、電圧 $V_{in'}$ は VDD 電圧側に引き上げられる。その間、負荷電流は VDD 側から供給されるので、インピーダンス変換回路 1 から負荷への過大な電流の流れ出しは必要ない。つまり、インピーダンス変換回路 1 としては低消費電力型の構成が適用可能である。

【0070】さて、図 6 において、演算増幅器 4 として、図 20 のような構成を適用した場合、トランジスタ 36 はトランジスタ 35 と相互に作用し合って出力電圧

V5' が入力電圧 V5 と等しくなる。本来トランジスタ 36 は駆動能力が高く、電圧 V5' を低い電圧に引き下げる場合は十分に能力をもっていることは言うまでもない。しかし、トランジスタ 35 は定電流化されているので、電圧 V5' の変動をより早く高電位電源 VDD 側に引っ張る能力には欠ける。

【0071】これに対して、図 6 では、電圧 Vin' が低い電圧になった場合に、これを速やかに引き上げるため、MOS 型トランジスタ 10 がオンして負荷電流を分担する。このため、例えば、図 20 では、トランジスタ 35 に通常流す定電流を小さくすることができる。つまり、トランジスタ 35 としては、入力電圧 Vin と電圧 Vin' の電圧を同じに保持するために必要な最小限の電流能力だけを持たせれば良い。このため、入力電圧 Vin と出力電圧 Vin' とがほとんど等しい場合は、演算増幅器 4 においては不要に大きな電流を流す必要がない。これにより、消費電流を大幅に低減することができるだけでなく、入力電圧 Vin の電圧 Vin' への追従性を良くすることができる。

【0072】図 7 は本発明の第 3 の実施例に係る定電圧発生回路のブロック図である。図 7 に示すように、入力電圧 Vin はインピーダンス変換回路 1 を介して、入力電圧 Vin と同電圧でインピーダンス変換された電圧 Vin' として出力される。インピーダンス変換回路 1 の出力は、コンパレータとして動作する 2 つの演算増幅器 2、11 の正入力端子に与えられる。入力電圧 Vin は、各演算増幅器 2、11 の負入力端子に与えられる。演算増幅器 2、11 は、故意に、それぞれ異なるオフセットを持たせてあり、正入力端子の電圧と負入力端子の電圧を比較し、両者がオフセット分の電圧差になるポイントを動作点としてその出力を反転し、それぞれスイッチ 3、13 をオン/オフ制御する。スイッチ 3 は、インピーダンス変換回路 1 の出力電圧 Vin' と GND との間の断続動作を行う。スイッチ 13 は、インピーダンス変換回路 1 の出力電圧 Vin' と高電位電源 VDD との間の断続動作を行う。ちなみに、GND 電圧、高電位電源 VDD は、共に、低インピーダンスとなっている。

【0073】以上述べたような構成において、次にその動作を説明する。

【0074】演算増幅器 2 と 11 には故意にオフセットを持たせてある。この理由は、入力電圧 Vin と電圧 Vin' とを比較するに当たり、特定の不感幅を持たせる為である。演算増幅器 2、11 は、正入力端子の入力電圧 Vin' と負入力端子の入力電圧 Vin との間に、オフセットに相当する以上の電圧差が生じた場合、この動作点を境に比較動作を行い、スイッチ 3、13 をオンさせる。スイッチ 3 がオンすると、インピーダンス変換回路 1 の出力は GND に接続され、インピーダンス変換回路 1 の出力電圧 Vin' を GND 電圧側に引き下げる。一方、スイッチ 13 がオンすると、インピーダンス変換

回路 1 の出力は高電位電源 VDD に接続され、インピーダンス変換回路 1 の出力電圧 Vin' を高電位電源 VDD 側に引き上げる。

【0075】さて、インピーダンス変換回路 1 により、入力電圧 Vin はインピーダンス変換された電圧 Vin' として導出される。負荷から電流を引き込むに当たっての電流駆動能力には当然制限がある。その結果として、電圧 Vin' に演算増幅器 2 のオフセット分以上の電圧上昇が生じた場合は、演算増幅器 2 がその出力を反転させ、スイッチ 3 がオンする。スイッチ 3 のオンに伴い、電圧 Vin' は GND 電圧側に引き戻される。その間、負荷電流は GND 側に流れるので、負荷からインピーダンス変換回路 1 への過大な電流の引込みは必要ない。

【0076】一方、インピーダンス変換回路 1 から負荷に電流を供給するに当たっての電流駆動能力にも当然制限がある。その結果として、電圧 Vin' に演算増幅器 11 のオフセット分以上の電圧低下が生じた場合は、演算増幅器 11 がその出力を反転させ、スイッチ 13 がオンする。スイッチ 13 のオンに伴い、電圧 Vin' は VDD 電圧側に引き上げられるが、その間、負荷電流は VDD 側から供給されるので、インピーダンス変換回路 1 から負荷への過大な電流の流れ出しは抑止される。

【0077】図 8 は図 7 の構成の具体例を示すものであり、インピーダンス変換回路 1 としてボルテージフォロア型の演算増幅器 4 を用い、スイッチ 3 として N チャンネルの MOS 型トランジスタ 5 を用い、スイッチ 13 として P チャンネルの MOS 型トランジスタ 10 を用いた例を示している。

【0078】図 8 から明らかなように、演算増幅器 4 はボルテージフォロア型の構成を有し、その出力を負帰還することにより、+ 入力端子の電圧をそのまま出力電圧として導出するような構成となっている。その結果、入力電圧 Vin はインピーダンス変換された電圧 Vin' として導出される。

【0079】図 8 において、その動作は図 7 の構成とほぼ同じである。そのため、演算増幅器 4 としては大きな電流駆動能力は不要であり、入力電圧 Vin と電圧 Vin' を同一電圧に保持するのに必要な最低限の定電流動作を行うだけでよい。このため、演算増幅器 4 の消費電力を大幅に低減することができる。また、比較的 low インピーダンスの高電位電源 VDD や GND 電位によって電圧 Vin' の電圧を回復させるようにしている。このため、入力電圧 Vin に対する電圧 Vin' の追従性をよくすることができる。

【0080】以上の各実施例の中で、例えば図 2 に示した構成と、図 6 に示した構成を、図 14 に示した従来の液晶表示用電源回路にそのまま適用するものとする。つまり、図 22 において、電圧 V2 から電圧 V2' にインピーダンス変換する回路には図 2 の回路を適用し、電圧

V 3、V 4 から電圧 V 3'、V 4' にインピーダンス変換する回路には図 6 の回路を適用する場合を考える。

【0081】この場合、図 9 のタイミングチャートに示すように、各演算増幅器の消費電流 I OP は、SEG/COM の出力時、すなわち電圧 V 1' ~ V 5' が特に消費される時だけ増大するが、その他の定常状態時には、比較的少なく、全体平均では大幅に低減されている。その結果、インピーダンス変換回路を多用する液晶表示用の電源回路の場合は、その消費電力を大幅に低減することができる。

【0082】図 10 は本発明の定電圧発生回路を低電圧電源に応用した場合のブロック図である。図 10 に示すように、非反転増幅器 15 においては、演算増幅器 14 の + 入力端子に電圧 V 0 を入力され、- 入力端子は抵抗 R s を介して GND に接続され、且つ演算増幅器 14 の出力を R f を介して負帰還している。非反転増幅器 15 の出力は、本発明の構成を有する定電圧回路 16 に入力される。ちなみに、定電圧回路 16 としては図 2 の構成が適用された場合を図示してある。

【0083】以上のような構成に於て、非反転増幅器 15 は、入力電圧 V 0 を $(1 + R f / F s)$ 倍に増幅して、電圧 $(1 + R f / F s) V 0$ を出力する。この出力を受ける定電圧回路 15 は、電圧 $(1 + R f / F s) V 0'$ を出力する。この出力電圧を他の回路に供給する場合、負荷電流が増大し、定電圧回路の出力電圧が演算増幅器 2 のオフセット電圧分を上回ると、MOS 型トランジスタ 5 がオンして GND 側に負荷電流を引き込み、出力電圧を引き下げる。その結果、定電圧電源としては、負荷電流がそれほど大きくない通常時は、非常に少ない消費電流で、非反転増幅器 15 の出力をインピーダンス

変換して外部に出力することになる。

【0084】つまり、本発明の定電圧発生回路装置は、定電圧源の一部として組み込むことにより、定消費電流で追従性のよい定電圧源を構成することができる。

【0085】図 11 にさらに異なる実施例を示す。図 11 は、コンパレータ 2 のマイナス入力に、図 1 の V in に代えて電圧 V in' を入力するようにした事の特徴とする定電圧回路を示す。

【0086】図 12 は、図 11 に対応する場合を示してある。

【0087】従来の図 22 の様に、基準電圧 V 1 ~ V 5 を抵抗素子を使って抵抗分割して作り出す場合を考える。図 22 の分圧回路 105 を、図 13 に示すように構成する。そして、V 1 を図 12 の V in へ、V 1''' を V in''' へ入力する。かつ、図 22 と図 12 で得られる V 1 の電圧が 5 V、V 1''' が 5.1 V となるように抵抗値を設定する。これにより V 1 = V in = 5 V、V 1''' = V in' = 5.1 V となる。そして、図 11 ならびに図 12 の出力 V in' が変動して、V in' の入力電圧 5.1 V を越えたとする。このとき、オフセット

を持たせないコンパレータ 2 A を使用すると、V in' は 5.1 V にて出力が反転し、トランジスタを ON させ、V in' を GND 側へと引き下げる働きをする。そして、V in' が 5.1 V より下がった場合に、コンパレータ 2 A の出力は反転し、トランジスタ 5 はオフとなる。この様に、新たな第 3 の基準電圧 V in'' をコンパレータ 2 A に入力してもよい。また、図 13 に示した様に、抵抗比によって任意に第 3 の基準電位 V in''' を設定出来るようにした場合は、あえてコンパレータ 2 A にオフセットを設けなくてもよい。コンパレータ 2 A に、トランジスタでオフセット電圧を設計・設定するよりは、抵抗によるようにした方がより容易で確実である。もちろん、コンパレータ 2 A に、さらなるオフセットを設けてもよいことは言うまでもない。しかし、抵抗分割による電圧設定の方が簡単であることは明らかである。

【0088】また図 11 及び図 12 に於けるインピーダンス変換回路は、抵抗素子にしたり、あるいは図 3 に示したような定電流源にしたりすることもでき、このような各種の変形及び応用が可能なことは言うまでもない。

【0089】図 14 はさらに異なる実施例を示す。図 14 に於いて、30 は第 1 の導電型の電界効果型トランジスタである。このトランジスタ 30 のソースを V in' に、ゲートを V in に、ドレインを V A にそれぞれ接続してある。

【0090】図 15 は図 14 をさらに具体化するときの一部変形したものである。ここにおけるトランジスタ 31 は、P チャネル型 MOS トランジスタにて構成されている。今、この回路に於いて、V in' が変動（上昇）したとする。そして、V in' が、式 $V in' - V in \geq V_{th}$ 、(V th はトランジスタ 31 に於けるしきい値電圧) で表わされるよりも大きくなるとする。すると、トランジスタ 31 がオンし、上昇した V in' を GND (V A を GND にした場合) 側へと引き下げる働きをする。従って、演算増幅器 4 を図 21 の様にトランジスタ 75 の駆動能力の小さいものに構成してあってもよい。つまり、V in' が上昇した時にトランジスタ 31 がその V in' を引き下げる働きをする。かつ、トランジスタ 31 として電界効果型トランジスタを使ったことから、V in' が大きく変動すればする程、トランジスタ 31 のオン抵抗は小さくなり、V in' をより強力に引き下げようとする。逆に、V in' が V in に近づくと、トランジスタ 31 はオン抵抗が高くなり、V in' が V in を越えてしまう等のアンダーシュートを起こしにくくなる。このようなメリットを持つことから、V in' の電位変動に追従した特性を得る事が出来る。尚、通常、インピーダンス変換回路 1 に於ける V in と V in' との差（オフセット）は、トランジスタ 31 の V th より小さい事は言うまでもない。

【0091】図 16 は、V A が高電圧 V th であって、ト

ランジスタ 32 として第 2 導電型の電界効果型トランジスタ (Nチャネル型 MOS トランジスタ 32) を使用した場合を示している。

【0092】トランジスタ 32 のソースを V_{in}' に、ゲートを V_{in} に、ドレインを V_{DD} に接続している。今、 V_{in}' が大きく下がって、その電位 $V_{in} - V_{in}'$ が、トランジスタ 32 のしきい値電圧 V_{th} を越えた場合には、トランジスタ 32 がオンする。トランジスタ 32 は降下した V_{in}' を V_{DD} 側へと引き上げる働きをする。そして、図 15 と同様に、 V_{in}' が V_{in} へ近づき、しきい値電圧に達すると、トランジスタ 32 は OFF となる。この場合の降下は、図 15 と同様である。

【0093】図 17 は、図 15、図 16 の両方を兼ね備えると共に、インピーダンス変換回路を演算増幅器 4 から抵抗素子 7 に置き換え、且つ図 15 に於けるトランジスタ 31 のソース側に定電流源を設けたものである。この様な回路に於いても、 V_{in}' が変動した場合には、トランジスタ 31 もしくは 32 のいずれかがオンして、 V_{in}' を V_{in} の電位へ引きもどす働きをする。尚、当然の事ながら、インピーダンス変換回路 1 は図 15、図 16 に示した演算増幅器でよい事はいふまでもない。

【0094】図 18 は、さらに異なる実施例を示したものである。ここでは、図 15 に於けるトランジスタ 31 のゲート入力を、第 3 の基準電位 V_{in}''' としている。

【0095】図 18 に於いて、出力 V_{in}' が V_{in} とほぼ等しく安定な電位、すなわちゲートバイアス電位 ($V_{in}''' - V_{in}'$) がトランジスタ 31 のしきい値 V_{th} 電圧をこえないように V_{in}''' は任意の電位に設定されている。このとき、出力 V_{in}' が変動すると、トランジスタ 31 がオンするようにしている。この様に、第 3 の基準電位を入力する事も可能である。

【0096】

【発明の効果】以上に述べたように、本発明の定電圧発生回路は、入力電圧をインピーダンス変換回路を介して入力電圧とほぼ等しい電圧を出力電圧として負荷に供給するに当たり、出力電圧を故意にオフセットを持たせたコンパレータ (比較器) で入力電圧と比較し、比較器の動作点を超えるような出力電圧変動があった場合に、他の電源に負荷電流を依存するように構成したので、インピーダンス変換回路の消費電流を低減できると共に、入力電圧に対する出力電圧の追従性をよくすることができる。

【図面の簡単な説明】

【図 1】本発明の一実施例に係る定電圧発生回路のブロック図である。

【図 2】図 1 の構成の第 1 の具体例を示すブロック図である。

【図 3】図 1 の構成の第 2 の具体例を示すブロック図で

ある。

【図 4】図 1 の構成の第 3 の具体例を示すブロック図である。

【図 5】図 1 の構成の第 4 の具体例を示すブロック図である。

【図 6】本発明の第 2 の実施例に係る定電圧発生回路のブロック図である。

【図 7】本発明の第 3 の実施例に係る定電圧発生回路のブロック図である。

【図 8】図 7 の構成の具体例を示すブロック図である。

【図 9】本発明を図 22 の液晶駆動用電源に適用した場合の動作を説明するためのタイミングチャートである。

【図 10】本発明を定電圧源に応用した場合のブロック図である。

【図 11】本発明のさらに異なる実施例のブロック図である。

【図 12】図 11 の具体例を示すブロック図である。

【図 13】分圧回路の一例を示す回路図である。

【図 14】本発明のさらに異なる実施例のブロック図である。

【図 15】図 14 の変形具体例のブロック図である。

【図 16】本発明のさらに異なる実施例のブロック図である。

【図 17】本発明のさらに異なる実施例のブロック図である。

【図 18】本発明のさらに異なる実施例のブロック図である。

【図 19】従来の定電圧発生回路のブロック図である。

【図 20】P トップの MOS 型演算増幅器の例を示す回路図である。

【図 21】N トップの MOS 型演算増幅器の他の例を示す回路図である。

【図 22】周知の液晶駆動用電源の例を示すブロック図である。

【図 23】図 22 の構成における基準電源回路の例を示す回路図である。

【図 24】図 22 の液晶駆動用電源の動作を説明するためのタイミングチャートである。

【図 25】コンパレータのシンボル図である。

【図 26】コンパレータの一例を示す回路図である。

【図 27】コンパレータの他の例を示す回路図である。

【符号の説明】

1 インピーダンス変換回路

2、4、11、12、14、104 演算増幅器

3、13 スイッチ

5、10、17、18 MOS 型トランジスタ

6 定電流源

7 抵抗

9 出力線

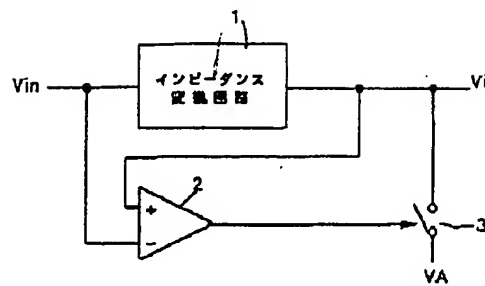
15 非反転増幅器

1 6 定電圧回路
1 0 0 駆動回路
1 0 1 外部接続端子
1 0 2 出力部

1 0 3 配線
1 0 5 分圧回路
1 0 6 基準電源回路
1 0 9 演算増幅器回路

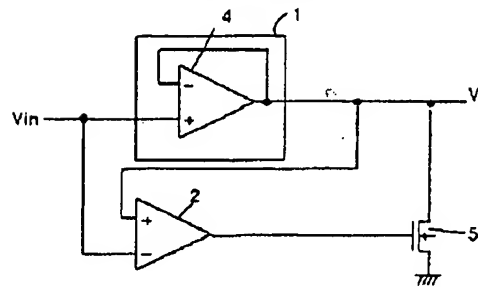
【図 1】

一実施例

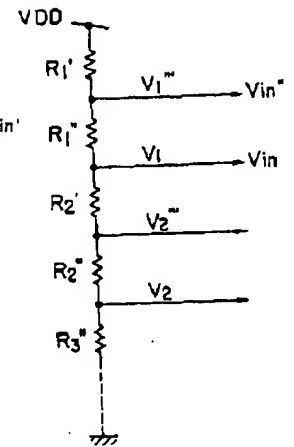


【図 2】

図 1 の構成の第 1 の具体例

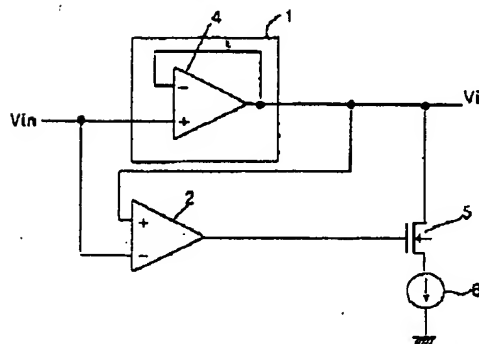


【図 13】



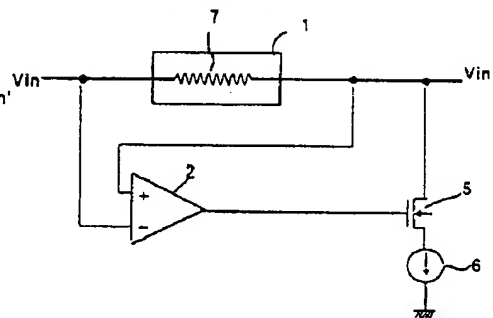
【図 3】

図 1 の構成の第 2 の具体例



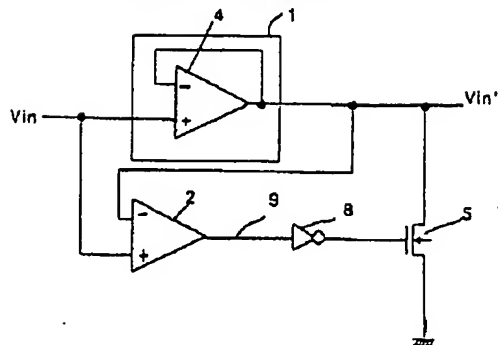
【図 4】

図 1 の構成の第 3 の具体例



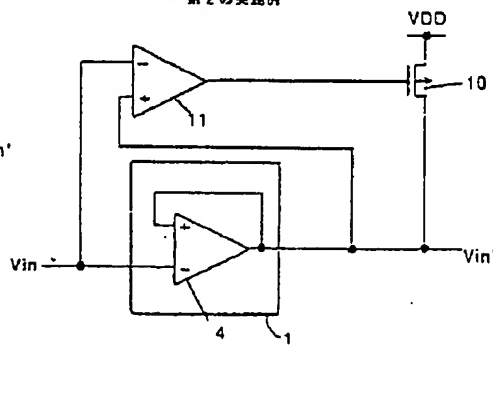
【図 5】

図 1 の構成の第 4 の具体例

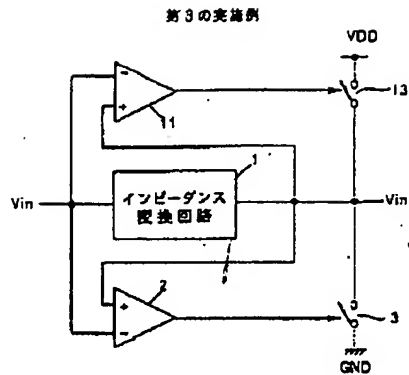


【図 6】

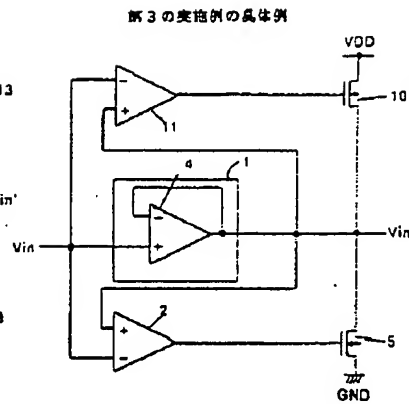
第 2 の実施例



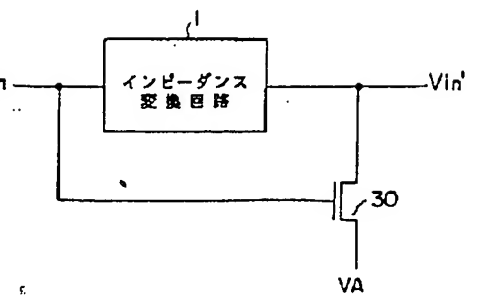
【図 7】



【図 8】

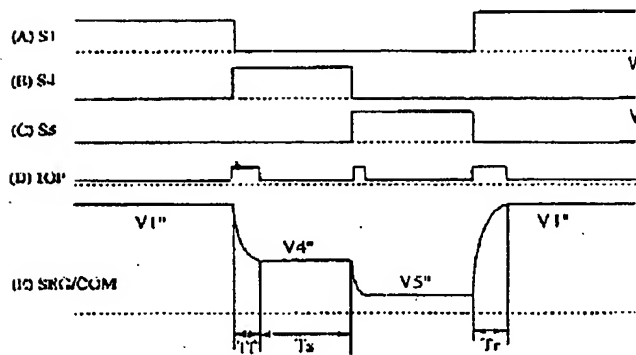


【図 14】

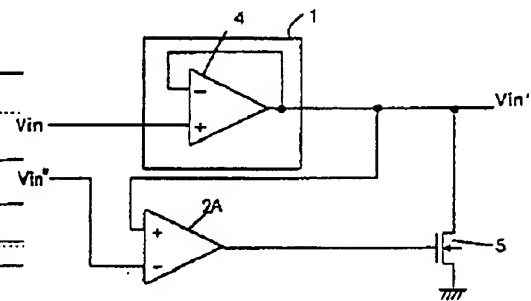


【図 9】

本発明による動作説明タイミングチャート



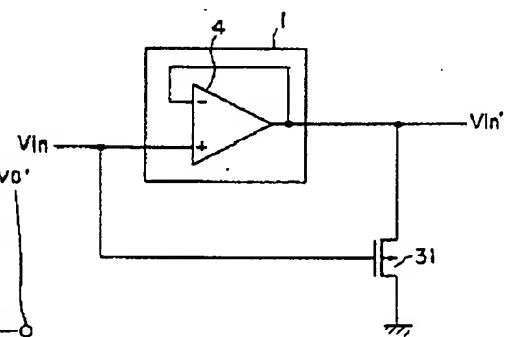
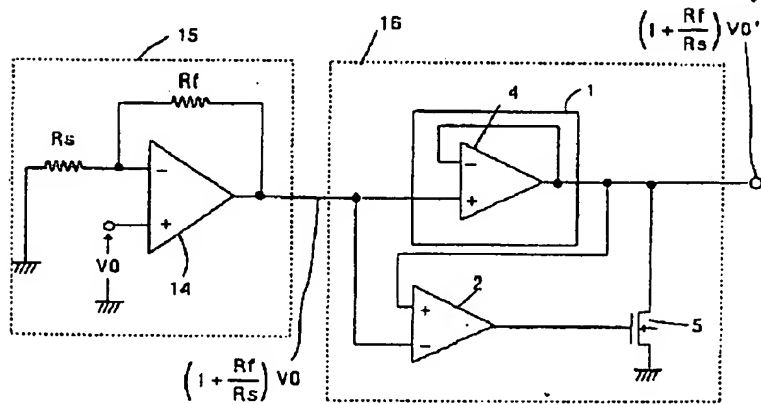
【図 12】



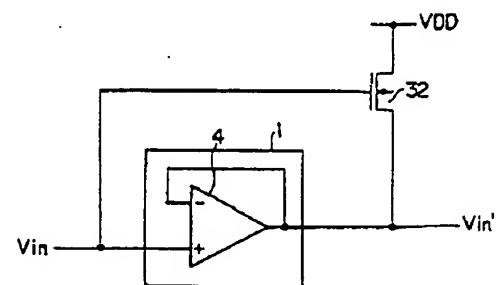
【図 15】

【図 10】

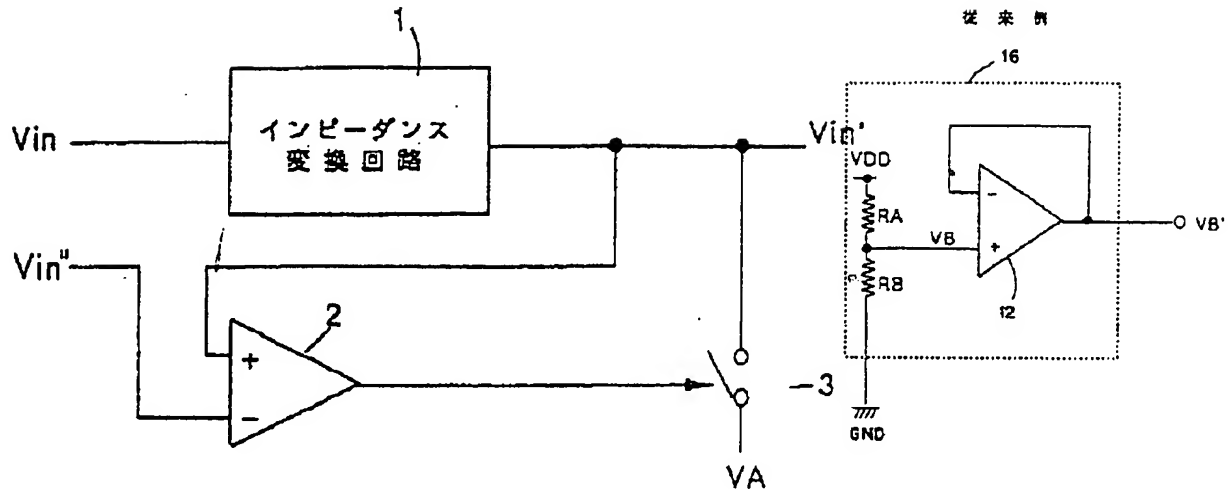
応用例



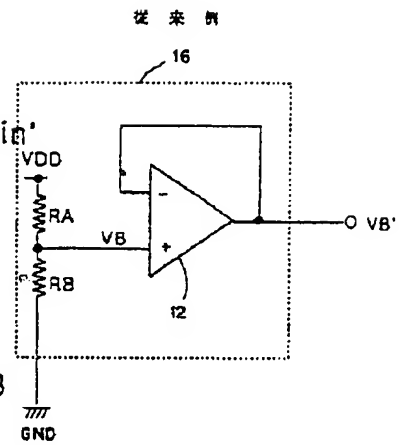
【図 16】



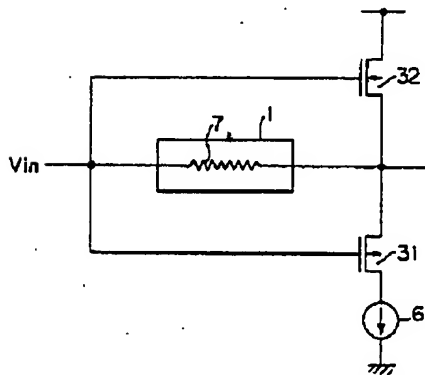
【図 11】



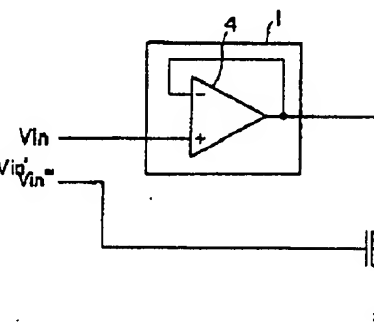
【図 19】



【図 17】

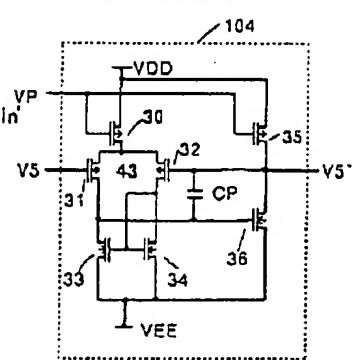


【図 18】



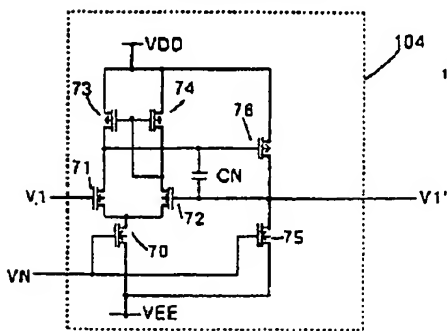
【図 20】

従来の演算増幅器の例



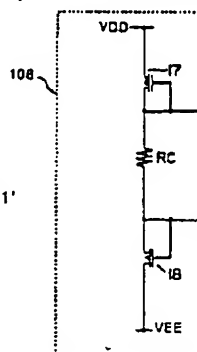
【図 21】

従来の演算増幅器の他の例



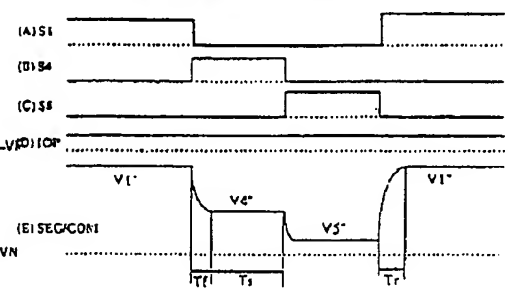
【図 23】

図22における基準電圧回路例



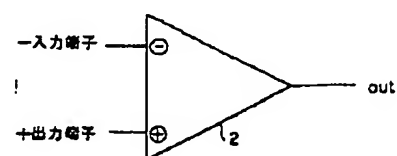
【図 24】

従来の構成の動作説明タイミングチャート



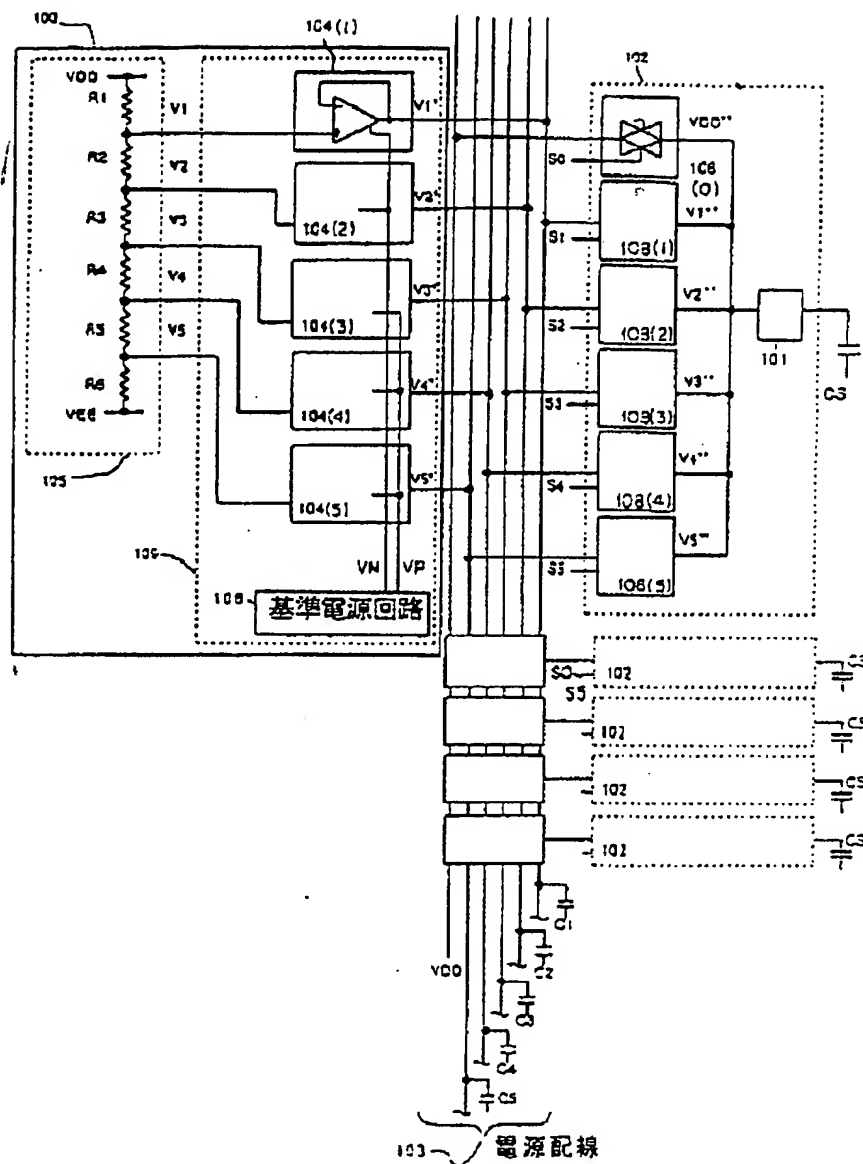
【図 25】

コンパレータのシンボル図



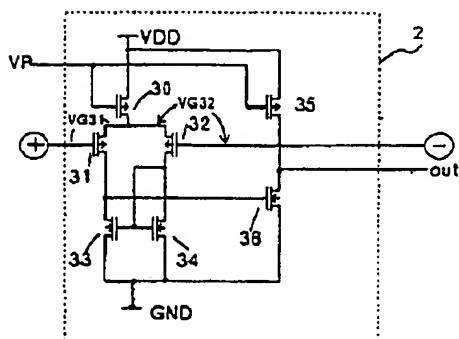
【图 2 2】

従来の液晶駆動用電源装置



【图 26】

コンパレータの例



【 図 2 7 】

コンパレータの他の例

